

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11238387 A

(43) Date of publication of application: 31.08.99

(51) Int. Cl

G11C 14/00

G11C 11/22

(21) Application number: 10040826

(71) Applicant: TOSHIBA CORP

(22) Date of filing: 23.02.98

(72) Inventor: OGAWARA TAKASHI

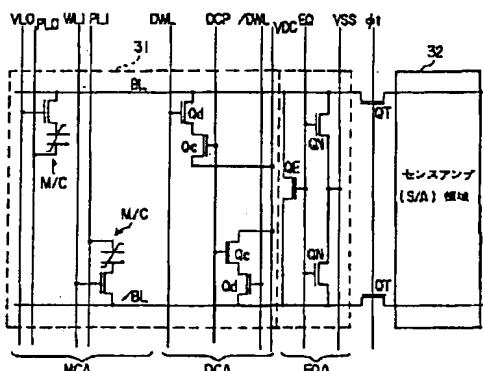
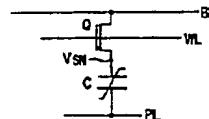
(54) FERROELECTRIC MEMORY

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To improve reliability by enabling reading out cell data accurately even when quantity of accumulated electric charges of a ferroelectric capacitor is decreased by relaxation and fatigue of polarization, when binary or multi-level quantity of polarization stored in a FRAM cell is read out.

SOLUTION: A FRAM is provided with a NMOS transistor inserted in series to a bit line at a position at which a bit line BL connected to a switch element Q of a cell is divided into a cell region 31 and a sense amplifier region 32 and having a function amplifying a signal potential read out in a bit line from a cell, and a circuit QP connected to a bit line of the sense amplifier region 32 and pre-charging a bit line during the prescribed period at the time of start-of reading out data from a cell. And at the time of reading out cell data, a switch element is made an on-state in a state in which a potential of ground potential or less is applied to a plate electrode of a cell capacitor C.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-238387

(43)公開日 平成11年(1999)8月31日

(51)Int.Cl.<sup>b</sup>

G 11 C 14/00  
11/22

識別記号

F I

G 11 C 11/34  
11/22

3 5 2 A

審査請求 未請求 請求項の数26 O.L. (全 31 頁)

(21)出願番号 特願平10-40826

(22)出願日 平成10年(1998)2月23日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 犀原 隆

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

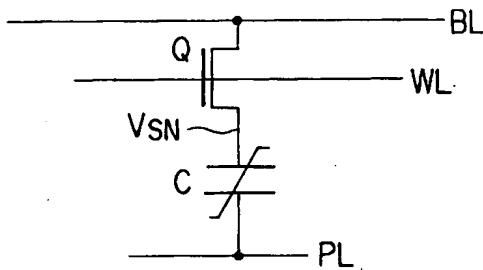
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 強誘電体メモリ

(57)【要約】

【課題】 F R A Mセルに記憶させた二値または多値の分極量を読み出す際、強誘電体キャパシタの蓄積電荷量がリラクゼーションや分極疲労により減少した場合でもセルデータの読み出しを正確に行うこと可能とし、信頼性を向上させる。

【解決手段】 F R A Mにおいて、セルのスイッチ素子Qに接続されたビット線B Lをセル領域3 1とセンスアンプ領域3 2とに区分する位置でビット線に直列に挿入され、セルからビット線に読み出された信号電位を增幅する作用を持つN M O SトランジスタQ Tと、センスアンプ領域のビット線に接続され、セルからのデータ読み出し開始時にビット線を所定期間プリチャージする回路Q Pを具備し、セルデータの読み出し時には、セルキャパシタCのプレート電極に接地電位以下の電位を印加した状態でスイッチ素子をオン状態にする。



## 【特許請求の範囲】

【請求項1】 強誘電体膜を電極間絶縁膜に用いたキャパシタとスイッチ素子が直列に接続されてなるメモリセルと、  
前記メモリセルのスイッチ素子の一端側のノードに接続された第1のビット線と、  
前記キャパシタの一端側のプレート電極に接続されたプレート線と、  
前記メモリセルから前記第1のビット線に読み出されたデータをセンス増幅するセンスアンプと、  
前記第1のビット線を前記メモリセルに接続されているメモリセル領域と前記センスアンプに接続されているセンスアンプ領域とに区分する位置で第1のビット線のメモリセル領域とセンスアンプ領域との間に直列に挿入された第1のNMO Sトランジスタからなり、そのゲートに印加されるゲート制御信号によって制御され、前記メモリセルから第1のビット線に読み出された信号電位を増幅する作用を持つ第1の電荷転送素子と、  
前記センスアンプ領域の第1のビット線に接続され、前記メモリセルからのデータ読み出し開始時に所定期間だけ前記第1のビット線を所定電位にプリチャージする第1のプリチャージ回路と、  
前記メモリセル領域の第1のビット線に接続され、前記メモリセルからのデータ読み出し開始前には前記第1のビット線を接地電位VSSにプリチャージしておき、前記メモリセルからのデータ読み出し開始時にはプリチャージを解除する第2のプリチャージ回路とを具備し、  
前記プレート線の電位を前記接地電位VSS以下、かつ前記スイッチ素子をオン状態に制御し、前記メモリセルからメモリセル領域の第1のビット線に読み出された信号電位が前記第1のNMO Sトランジスタにより増幅されて前記センスアンプ領域の第1のビット線に現われる信号電位を前記センスアンプにより参照電位と比較して増幅することで前記メモリセルからのデータの読み出しを行なうことを特徴とする強誘電体メモリ。

【請求項2】 請求項1記載の強誘電体メモリにおいて、  
前記プレート線の電位は、前記メモリセルからのデータの読み出し時に一定値に保たれていることを特徴とする強誘電体メモリ。

【請求項3】 請求項2記載の強誘電体メモリにおいて、

前記一定値は0Vであることを特徴とする強誘電体メモリ。

【請求項4】 請求項1記載の強誘電体メモリにおいて、

前記プレート線の電位は、前記メモリセルからの読み出し時に前記接地電位VSSから下降することを特徴とする強誘電体メモリ。

【請求項5】 請求項4記載の強誘電体メモリにおいて、

て、  
前記プレート線の電位は、前記メモリセルからの読み出し時に前記接地電位VSSから電源電位VCCとは逆極性の-VCCまで下降することを特徴とする強誘電体メモリ。

【請求項6】 請求項1乃至5のいずれか1項に記載の強誘電体メモリにおいて、

前記第1のビット線と対をなし、前記第1のプリチャージ回路に接続されるとともに前記第2のプリチャージ回路に接続された第2のビット線と、

10 前記第2のビット線を前記第1のプリチャージ回路に接続された部分と前記第2のプリチャージ回路に接続された部分に区分する位置で第2のビット線に直列に挿入され、前記第1のNMO Sトランジスタと同様に制御される第2の電荷転送素子用の第2のNMO Sトランジスタと、

前記第2のビット線に接続された参照電位生成用のダイマーセルをさらに具備し、前記第2のビット線の前記第1のプリチャージ回路に接続された部分に前記参照電位を発生させることを特徴とする強誘電体メモリ。

20 【請求項7】 請求項1乃至6のいずれか1項に記載の強誘電体メモリにおいて、

前記第1のNMO Sトランジスタのゲート制御信号を第1の電位V1にして前記電荷転送素子をオン制御した状態で前記メモリセル領域の第1のビット線に対するプリチャージを解除し、前記センスアンプ領域の第1のビット線を第2の電位V2 ( $\geq V1 - V_{th}$ ) ( $V_{th}$ は第1のNMO Sトランジスタの閾値) に所定時間プリチャージすることによって前記第1のNMO Sトランジスタを通じて前記メモリセル領域の第1のビット線の電位をV1-V<sub>th</sub>にプリチャージした後、前記メモリセルのスイッチ素子をオン状態にして前記第1のビット線に信号電荷を読み出すことを特徴とする強誘電体メモリ。

【請求項8】 請求項7記載の強誘電体メモリにおいて、

前記メモリセルのスイッチ素子をオン状態にして前記第1のビット線に信号電荷を読み出した時、前記メモリセル領域の第1のビット線が前記第1のNMO Sトランジスタを通じて充電されて再び前記V1-V<sub>th</sub>の電位になった後、前記センスアンプを起動して比較増幅を行うことを特徴とする強誘電体メモリ。

【請求項9】 請求項8記載の強誘電体メモリにおいて、

前記メモリセル領域の第1のビット線が前記第1のNMO Sトランジスタを通じて充電されて再び前記V1-V<sub>th</sub>の電位になった後、前記センスアンプを起動して比較増幅を行う前に前記第1のNMO Sトランジスタをオフ制御することを特徴とする強誘電体メモリ。

【請求項10】 請求項7記載の強誘電体メモリにおいて、

50 前記センスアンプのセンスマージンを△Vとすると、前

記第2のプリチャージ回路によるプリチャージの解除後に前記センスアンプ領域のビット線対に△以上の電位差が生じた段階で、前記メモリセル領域のビット線対が前記第1、第2の電荷転送素子用のNMO Sトランジスタを通じて充電されて再びV1 - V<sub>th</sub>になるのを待たず、前記センスアンプを起動して比較増幅を行うことを特徴とする強誘電体メモリ。

【請求項11】 請求項7記載の強誘電体メモリにおいて、

前記センスアンプのセンスマージンを△Vとすると、前記メモリセルのスイッチ素子をオン状態にして第1のビット線に信号電荷を読み出した時、前記センスアンプ領域のビット線対に△V以上の電位差が生じた段階で、前記メモリセル領域のビット線対が再び電位V1 - V<sub>th</sub>の電位になるのを待たずに、前記第1、第2のNMO Sトランジスタをオフ状態にした後に前記センスアンプを起動して比較増幅を行うことを特徴とする強誘電体メモリ。

【請求項12】 請求項6乃至11のいずれか1項に記載の強誘電体メモリにおいて、

前記センスアンプの増幅によってセンスアンプ領域のビット線対のハイレベル側／ローレベル側の電位が対応して第3の電位V3／第4の電位V4になるとすると、前記センスアンプの増幅後に前記第1、第2のNMO Sトランジスタのゲート制御信号の電位をV3 + V<sub>th</sub>以上に昇圧することによって前記メモリセル領域のビット線対のハイレベル側／ローレベル側の電位を対応してV3／V4にすることを特徴とする強誘電体メモリ。

【請求項13】 請求項12記載の強誘電体メモリにおいて、

前記ハイレベル側の第3の電位V3は電源電位VCCであり、前記ローレベル側の第4の電位V4は接地電位VSSであることを特徴とする強誘電体メモリ。

【請求項14】 請求項1乃至13のいずれか1項に記載の強誘電体メモリにおいて、

前記センスアンプを起動した後に、前記プレート線の電位を一旦昇圧した後に接地電位VSSに下降させ、次に、前記メモリセルのスイッチ素子をオフ制御することで、前記メモリセルから読み出されたデータの再書き込みを行なうことを特徴とする強誘電体メモリ。

【請求項15】 請求項14記載の強誘電体メモリにおいて、

前記プレート線の電位の昇圧電位は電源電位VCCであることを特徴とする強誘電体メモリ。

【請求項16】 強誘電体膜を電極間絶縁膜に用いたキャパシタとスイッチ素子が直列に接続されてなる三値以上のn値の多値データを蓄積するメモリセルと、

前記メモリセルのスイッチ素子の一端側のノードに接続された第1のビット線と、

前記キャパシタの一端側のプレート電極に接続されたブ

レート線と、

前記メモリセルから前記第1のビット線に読み出されたデータを相異なる複数の参照電位とそれぞれ比較して増幅する複数(n-1)個のセンスアンプと、

前記第1のビット線を前記メモリセルに接続されているメモリセル領域と前記複数のセンスアンプに接続されているセンスアンプ領域とに区分する位置で第1のビット線に直列に挿入された第1のNMO Sトランジスタからなり、そのゲートに印加されるゲート制御信号によって制御され、前記メモリセルから第1のビット線に読み出された信号電位を増幅する作用を持つ第1の電荷転送素子と、

前記複数のセンスアンプの相互間で前記第1のビット線に直列に挿入され、スイッチ制御されることによって前記複数のセンスアンプの接続切り離しを選択的に行なうためのセンスアンプ領域分割用スイッチ素子と、

前記センスアンプ領域の第1のビット線に対応して接続され、前記メモリセルからのデータ読み出し開始時に所定期間だけ前記第1のビット線を所定電位にプリチャージする第1のプリチャージ回路と、

前記メモリセル領域の第1のビット線に接続され、前記メモリセルからのデータ読み出し開始前には前記第1のビット線を接地電位VSSにプリチャージしておき、前記メモリセルからのデータ読み出し開始時にはプリチャージを解除する第2のプリチャージ回路とを具備し、前記プレート線の電位を前記接地電位VSS以下、かつ前記スイッチ素子をオン状態に制御し、前記メモリセルからメモリセル領域の第1のビット線に読み出された信号電位が前記第1のNMO Sトランジスタにより増幅され

て前記センスアンプ領域の第1のビット線に現われる信号電位を前記(n-1)個のセンスアンプによりそれぞれ相異なる複数の参照電位と比較増幅することで前記メモリセルからのn値データの読み出しを行なうことを特徴とする強誘電体メモリ。

【請求項17】 請求項16記載の強誘電体メモリにおいて、

前記第1のNMO Sトランジスタを通じてセンスアンプ領域に読み出されたn値の信号電位をV<sub>k</sub>（但し、0 ≤ k ≤ n-1, V<sub>k</sub> < V<sub>k+1</sub>）とすると、

前記(n-1)個のセンスアンプで用いる相異なる参照電位V<sub>refa</sub>（但し、0 ≤ a ≤ n-2, V<sub>refa</sub> < V<sub>refa+1</sub>）はV<sub>k</sub> < V<sub>refk</sub> < V<sub>k+1</sub>であることを特徴とする強誘電体メモリ。

【請求項18】 請求項17記載の強誘電体メモリにおいて、

前記V<sub>refk</sub>は、V<sub>refk</sub> = (V<sub>k</sub> + V<sub>k+1</sub>) / 2であることを特徴とする強誘電体メモリ。

【請求項19】 請求項16乃至18のいずれか1項に記載の強誘電体メモリにおいて、

前記第1のビット線と対をなし、前記第1のプリチャー

ジ回路に接続されるとともに前記第2のプリチャージ回路に接続された第2のビット線と、前記第2のビット線を前記第2のプリチャージ回路に接続された部分と前記第1のプリチャージ回路に接続された部分に区分する位置で第2のビット線に直列に挿入され、前記第1のNMO Sトランジスタと同様に制御される第2の電荷転送素子用の第2のNMO Sトランジスタと、

前記第2のビット線の前記(n-1)個のセンスアンプに対応して接続された部分にそれぞれ対応して接続された(n-1)個の参照電位生成用のダミーセルをさらに具備し、前記(n-1)個のセンスアンプに対応して接続された第2のビット線にそれぞれ対応して前記相異なる参照電位Vrefaを発生させることを特徴とする強誘電体メモリ。

【請求項20】 請求項16乃至19のいずれか1項に記載の強誘電体メモリにおいて、

前記(n-1)個のセンスアンプによる比較增幅後の二値情報報をm(但し、 $2^{(m-1)} \leq n \leq 2^m$ )ビットの二値情報に変換してチップ外部に出力する第1のデータ変換回路をさらに具備することを特徴とする強誘電体メモリ。

【請求項21】 請求項16乃至19のいずれか1項に記載の強誘電体メモリにおいて、

前記チップ外部から入力されたm(但し、 $2^{(m-1)} \leq n \leq 2^m$ )ビットの二値情報を前記(n-1)個のセンスアンプの二値情報に変換する第2のデータ変換回路をさらに具備することを特徴とする強誘電体メモリ。

【請求項22】 請求項16乃至21のいずれか1項に記載の強誘電体メモリにおいて、

前記第1のNMO Sトランジスタをオフにした状態で、前記第2のプリチャージ回路によりメモリセル領域の第1のビット線を接地電位VSSにプリチャージした後、前記プレート線の電位を一旦昇圧すると共に前記(n-1)個のセンスアンプによる比較增幅に基づき生成したn値の多値電位をプリチャージの解除されたメモリセル領域の第1のビット線に転送した上で、前記プレート線の電位を接地電位に下降させ、次に、前記メモリセルのスイッチ素子をオフ制御することで、前記メモリセルから読み出されたn値データの再書き込みを行なうことを特徴とする強誘電体メモリ。

【請求項23】 請求項22記載の強誘電体メモリにおいて、

前記センスアンプ領域の第1のビット線に読み出されたn値の信号電位V<sub>k</sub>(但し、 $0 \leq k \leq n-1$ ,  $V_k < V_{k+1}$ )に対して、前記メモリセルへの再書き込み用に前記メモリセル領域の第1のビット線に転送されるn値の多値電位をV'<sub>k</sub>(但し、 $0 \leq k \leq n-1$ ,  $V'_k < V'_{k+1}$ ,  $V_k \neq V'_k$ )とすることを特徴とする強誘電体メモリ。

【請求項24】 請求項23記載の強誘電体メモリにおいて、

前記メモリセルへの再書き込みのために前記メモリセル領

域の第1のビット線に加えられるn値の多値電位は、V'<sub>k0</sub>=VSS、V'<sub>n-1</sub>=電源電位VCCであることを特徴とする強誘電体メモリ。

【請求項25】 請求項22乃至24のいずれか1項に記載の強誘電体メモリにおいて、前記(n-1)個のセンスアンプは、前記メモリセルから前記第1のビット線に読み出された多値の信号電位をそれぞれ相異なる参照電位と比較增幅すると同時に、前記メモリセルへの再書き込みのために相異なるn個の再書き込み電位源と前記センスアンプ領域の第1のビット線とを選択的に接続することを特徴とする強誘電体メモリ。

【請求項26】 請求項6または19に記載の強誘電体メモリにおいて、

前記ダミーセルは、前記第2のビット線に一端が接続され、ゲートがダミーワード線に接続されたスイッチ素子用のNMO Sトランジスタと、前記スイッチ素子用のNMO Sトランジスタの他端とダミーセル基準電位との間に接続され、前記スイッチ素子用のNMO Sトランジスタがオン制御される前の所定期間にゲートがオン制御されるダミーセル基準電位供給用のNMO Sトランジスタとからなることを特徴とする強誘電体メモリ。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、情報記憶用キャパシタの絶縁膜に強誘電体膜を用いた強誘電体メモリセルのアレイを有する強誘電体メモリ(FRAM)に係り、特にセルキャパシタ1個とスイッチ用MOSトランジスタ1個とが直列に接続されたメモリセルに二値または多値のデータを蓄積するFRAMにおけるメモリセルデータの読み出し制御回路に関するもので、FRAMを含む半導体集積回路に適用される。

##### 【0002】

【従来の技術】近年、情報記憶用キャパシタの電極間絶縁膜としてペロブスカイト構造あるいは層状ペロブスカイト構造の物質からなる強誘電体を用いたFRAMセルのアレイを有するFRAMが注目を集めている。

【0003】強誘電体は、図2に示すように、印加電界(V/m)と電気分極量(C/m)との関係がヒステリシス特性を有し、強誘電体膜の両端間の印加電圧(印加電界)を零に戻しても分極が残る(図2中のa点、b点は残留分極量を示す)、つまり、不揮発性を示すことが特徴である。

【0004】即ち、電界が印加された時に一旦発生した電気分極は上記電界が印加されなくなても残留し、上記電界とは反対方向の向きにある程度以上の強さの電界が印加された時に分極の向きが反転する特性を有している。

【0005】このような特性に着目し、強誘電体の薄膜を電極間絶縁膜に用いた強誘電体キャパシタの分極の方向として情報を蓄積するFRAMセルを実現し、二値の

データを記憶する技術が開発されている。

【0006】前記F RAMセルは、DRAMセルのキャパシタを強誘電体キャパシタに置き換えた構成になっており、スイッチ用のMOSトランジスタを介して強誘電体キャパシタから分極反転あるいは非反転の際の電荷を取り出される（データ破壊読み出し）ので、データ読み出し後に再書き込みが行われる。

【0007】上記のようなF RAMセルのアレイを有するF RAMは、他の不揮発性メモリであるフラッシュメモリと比較すると、データ書き換え回数が多く、かつデータ書き換え速度が著しく速いという特徴を持つ。また、メモリカード等に使用される電池バックアップ可能なSRAMと比較しても、消費電力が小さく、セル面積を大幅に小さくできるという特徴を持つ。

【0008】上記のような特徴を持つF RAMは、既存のDRAM、フラッシュメモリ、SRAMとの置き換え、ロジック混載デバイスへの適用等、その期待は大変大きい。また、F RAMは、バッテリーレスで高速動作が可能であるので、非接触カード（RF-ID：Radio Frequency-Identification）への展開が始まりつつある。

【0009】なお、F RAMのメモリセルの構造は、情報記憶用のキャパシタに強誘電体膜を用いる構造と、MOSトランジスタのゲート絶縁膜に強誘電体膜を用いる構造との2種類に大別される。後者は半導体基板がシリコンである場合にその界面に直接形成できる適当な強誘電体膜が存在しないので実現性に乏しく、現在までは提案が行なわれているのみであることから、通常はF RAMというと前者の構造を指す。

【0010】また、F RAMセルには、図1に示すように、スイッチ用の1つのMOSトランジスタと情報記憶用の1つの強誘電体キャパシタが直列に接続されて構成される1トランジスタ・1キャパシタ型のものと、2つのトランジスタと2つの強誘電体キャパシタにより構成される2トランジスタ・2キャパシタ型のものがある。

【0011】1トランジスタ・1キャパシタ型のセルは、DRAMと同等の高集積化が可能という長所を持ち、2トランジスタ・2キャパシタ型のセルは、信頼性に優れているという長所を持つ。

【0012】図1に示す1トランジスタ・1キャパシタ型のF RAMセルは、スイッチ用のMOSトランジスタのゲートにワード線WLが接続され、スイッチ用のMOSトランジスタの一端側のノードにビット線BLが接続され、スイッチ用のMOSトランジスタの他端側のノードに強誘電体キャパシタの一端側のノードが接続され、強誘電体キャパシタの他端側のノード（プレート電極）にプレート線PLが接続される。

【0013】上記F RAMセルからデータを読み出すためには、ワード線WLの電位を立ち上げ、プレート線PLの電位VPLをクロッキングすることにより、強誘電体

キャパシタの分極の方向として蓄積されている情報をビット線BLに電荷として読み出す。このようにビット線BLに読み出された微少な電荷により生じるビット線電位の変化をセンスアンプで参照電位と比較して増幅する。

【0014】しかし、リラクゼーション（relaxation）や分極疲労によって強誘電体キャパシタの分極量が減少したF RAMにおいては、メモリセルデータの読み出し時に、ビット線BLに読み出される電荷が少なく、ビット線電位の変化が小さいので、セルデータを正しく読み出せなくなるおそれがある。

【0015】そこで、メモリセル領域とセンスアンプSAの間にNMOSトランジスタからなる電荷転送素子を挿入しておき、セルデータの読み出し時にビット線に読み出された微少な電位を電荷転送素子により増幅してからセンスすることによって、信頼性の低下に強い強誘電体メモリを得ることが考えられる。

【0016】しかし、単に前記電荷転送素子を挿入しただけでは、従来と同様にプレート電極をクロッキングして読み出そうとした時に、メモリセル側のビット線の電位がかえって上昇し、センスアンプ側からメモリセル側に正の電荷を移動させられず、電位の増幅ができない。

【0017】一方、特開平9-185890号公報の「強誘電体記憶装置」には、メモリセルデータの読み出し時に強誘電体キャパシタに十分な電圧（強誘電体キャパシタのヒステリシス特性の飽和領域まで振幅させる電圧）を印加し、残留分極を完全に読み出すことによりS/Nを向上させるようにした技術が開示されている。

【0018】この強誘電体記憶装置は、図1に示すF RAMセルの強誘電体キャパシタCのプレート電極に接続されているプレート線PLに供給されるプレート電圧VPLとして電源電圧VCCの1/2が供給され、待機状態ではビット線BLが接地電位（VPLに対して-VCC/2の電位）にプリチャージされるVCC/2プリチャージ方式の強誘電体メモリにおいて、データ線（ビット線BL）とセンスアンプ（図示せず）の間に電荷転送素子として、ゲートに一定の制御電圧VHが印加されたソースフォロワモードで動作するNMOSトランジスタ（図3中QT参照）を挿入している。

【0019】上記構成によれば、待機状態（プリチャージ状態）では、メモリセル側のビット線BLの電圧はVH-VT（VTは電荷転送素子用のNMOSトランジスタQTの閾値電圧）になっている。

【0020】メモリセルデータの読み出し時には、ビット線BLのプリチャージを解除した状態でメモリセルのスイッチ用MOSトランジスタQのゲート（ワード線WL）に選択電圧を印加してスイッチ用MOSトランジスタQをオン状態にすることによって、強誘電体キャパシタCの両端間にビット線電圧（VII-VT）とプレート電圧VPLとの差の電圧が加わり、強誘電体キャパシタC

の残留分極が電荷としてビット線B Lに読み出される。

【0021】それにより、ビット線B Lの電圧は一時に変化するが、電荷転送素子用のNMOSトランジスタQ Tによりビット線B Lの電圧は再びプリチャージ状態の電圧V<sub>H</sub>-V<sub>T</sub>に戻る。その結果、強誘電体キャパシタCからビット線B Lに読み出された電荷はセンスアンプ側のセンスノードに転送される。

【0022】即ち、メモリセル側のビット線の寄生容量からメモリセルに移動する電荷量に応じて、センスアンプ側のセンスノードの小さな寄生容量からメモリセル側のビット線の寄生容量へ電荷が移動することにより、強誘電体キャパシタCからビット線B Lに読み出される電荷によるビット線B Lの電圧変化が増幅されてセンスノードの電圧変化として現われることになる。

【0023】次いで、センスアンプが起動され、センスノードの電圧を増幅し、メモリセルへの再書き込みが行なわれた後、ワード線WLの電圧を下げ、スイッチ用トランジスタQをオフ状態にする。この後、センスアンプの動作を停止し、プリチャージ用トランジスタ(図示せず)をオンにして待機状態に戻す。

【0024】しかし、上記したVCC/2プリチャージ方式のFRAMにおいては、読み出しに際してプレート電圧V<sub>PL</sub>がVCC/2に設定されているので、再書き込みあるいは書込みに際してFRAMセルの強誘電体キャパシタCの両端間に加わる電圧(V<sub>PL</sub>-V<sub>SN</sub>)の絶対値は、プレート線P Lの電位V<sub>PL</sub>を0VからVCCにクロッキングする場合よりも小さいVCC/2になる。従って、キャパシタCに蓄積される電荷量が必ずしも十分には得られないで、メモリセルデータの読み出し感度が必ずしも良好ではない。

【0025】また、上記したVCC/2プリチャージ方式のFRAMにおいては、特に“1”読みデータが記憶されている場合にキャパシタCとスイッチ用トランジスタQとの接続ノード(ストレージノード)の電圧V<sub>SN</sub>が電流リーキによりVCC→0Vに遷移すると、キャパシタにおける分極の向きが反転して“0”読みデータの記憶状態(ストレージノードの電圧V<sub>SN</sub>が0V)と区別がつかなくなる。そこで、上記したVCC/2プリチャージ方式の強誘電体メモリにおいては、DRAMと同様に前記強誘電体メモリセルのリフレッシュ動作が必要になり、使い勝手が悪くなる。

#### 【0026】

【発明が解決しようとする課題】上記したように従来のVCC/2プリチャージ方式のFRAMは、FRAMセルの強誘電体キャパシタの両端間に加わる電圧の絶対値が小さく、キャパシタに蓄積される電荷量が必ずしも十分には得られないで、メモリセルデータの読み出し感度が必ずしも良好ではないという問題があった。

【0027】また、特に“1”読みデータが記憶されている場合に強誘電体メモリセルのストレージノードの電

圧が電源オフ状態において電流リーキによりVCC→0Vに遷移すると、“0”読みデータと区別がつかなくなるので、DRAMと同様にFRAMのリフレッシュ動作が必要になり、使い勝手が悪くなるという問題があった。

【0028】本発明は上記の問題点を解決すべくなされたもので、強誘電体キャパシタに蓄積される電荷量がリラクゼーションや分極疲労により減少した場合でもメモリセルデータの読み出しを正確に行なうことが可能になり、またDRAMと同様のリフレッシュ動作が不要となる読み出し/書き込み特性に優れた強誘電体メモリを提供することを目的とする。

#### 【0029】

【課題を解決するための手段】第1の発明の強誘電体メモリは、強誘電体膜を電極間絶縁膜に用いたキャパシタとスイッチ素子が直列に接続されてなるメモリセルと、前記メモリセルのスイッチ素子の一端側のノードに接続された第1のビット線と、前記キャパシタの一端側のプレート電極に接続されたプレート線と、前記メモリセルから前記第1のビット線に読み出されたデータをセンス増幅するセンスアンプと、前記第1のビット線を前記メモリセルに接続されているメモリセル領域と前記センスアンプに接続されているセンスアンプ領域とに区分する位置で第1のビット線のメモリセル領域とセンスアンプ領域との間に直列に挿入された第1のNMOSトランジスタからなり、そのゲートに印加されるゲート制御信号によって制御され、前記メモリセルから第1のビット線に読み出された信号電位を増幅する作用を持つ第1の電荷転送素子と、前記センスアンプ領域の第1のビット線に接続され、前記メモリセルからのデータ読み出し開始時に所定期間だけ前記第1のビット線を所定電位にプリチャージする第1のプリチャージ回路と、前記メモリセル領域の第1のビット線に接続され、前記メモリセルからのデータ読み出し開始前には前記第1のビット線を接地電位VSSにプリチャージしておき、前記メモリセルからのデータ読み出し開始時にはプリチャージを解除する第2のプリチャージ回路とを具備し、前記プレート線の電位を前記接地電位VSS以下、かつ前記スイッチ素子をオン状態に制御し、前記メモリセルからメモリセル領域の第1のビット線に読み出された信号電位が前記第1のNMOSトランジスタにより増幅されて前記センスアンプ領域の第1のビット線に現われる信号電位を前記センスアンプにより参照電位と比較して増幅することで前記メモリセルからのデータの読み出しを行なうことを特徴とする。

【0030】第2の発明の強誘電体メモリは、強誘電体膜を電極間絶縁膜に用いたキャパシタとスイッチ素子が直列に接続されてなる三値以上のn値の多値データを蓄積するメモリセルと、前記メモリセルのスイッチ素子の一端側のノードに接続された第1のビット線と、前記キャパシタの一端側のプレート電極に接続されたプレート

線と、前記メモリセルから前記第1のビット線に読み出されたデータを相異なる複数の参照電位とそれぞれ比較して増幅する複数( $n-1$ )個のセンスアンプと、前記第1のビット線を前記メモリセルに接続されているメモリセル領域と前記複数のセンスアンプに接続されているセンスアンプ領域とに区分する位置で第1のビット線に直列に挿入された第1のNMOSトランジスタからなり、そのゲートに印加されるゲート制御信号によって制御され、前記メモリセルから第1のビット線に読み出された信号電位を増幅する作用を持つ第1の電荷転送素子と、前記複数のセンスアンプの相互間で前記第1のビット線に直列に挿入され、スイッチ制御されることによって前記複数のセンスアンプの接続切り離しを選択的に行うためのセンスアンプ領域分割用スイッチ素子と、前記センスアンプ領域の第1のビット線に対応して接続され、前記メモリセルからのデータ読み出し開始時に所定期間だけ前記第1のビット線を所定電位にプリチャージする第1のプリチャージ回路と、前記メモリセル領域の第1のビット線に接続され、前記メモリセルからのデータ読み出し開始前には前記第1のビット線を接地電位VSSにプリチャージしておき、前記メモリセルからのデータ読み出し開始時にはプリチャージを解除する第2のプリチャージ回路とを具備し、前記プレート線の電位を前記接地電位VSS以下、かつ前記スイッチ素子をオン状態に制御し、前記メモリセルからメモリセル領域の第1のビット線に読み出された信号電位が前記第1のNMOSトランジスタにより増幅されて前記センスアンプ領域の第1のビット線に現われる信号電位を前記( $n-1$ )個のセンスアンプによりそれぞれ相異なる複数の参照電位と比較増幅することで前記メモリセルからの $n$ 値データの読み出しを行なうことを特徴とする。

## 【003.1】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。

【003.2】図3は、本発明の第1の実施の形態に係る二値データ記憶型のFRAMの主要部の概略構成を示しており、特にメモリセルアレイおよび周辺回路の一部の回路接続を示している。

【003.3】図3において、31はデータを蓄積するメモリセル(M/C)領域、32はメモリセルからビット線BLに読み出されたデータを比較増幅するセンスアンプ(S/A)を含むセンスアンプ領域である。

【003.4】前記メモリセル領域31とセンスアンプ領域32とは、ビット線対BL、/BLにそれぞれ挿入された1個の電荷転送素子QTによって区切られ、選択的に接続切り離しが行われるようになっている。前記電荷転送素子QTとして、ゲートに制御クロック信号 $\phi_t$ が印加されるNMOSトランジスタが用いられている。

【003.5】前記メモリセル領域31の中には、メモリセルM/Cが行列状に配置されたメモリセルアレイMC

A(代表的にメモリセルM/Cは2個のみ示している)の他に、メモリセル領域のビット線対BL、/BLをイコライズするプリチャージ・イコライズ回路部EQA、選択されたメモリセルからのデータの読み出し電位と比較される参照電位を作るためのダミーセル部DCAを含む。

【003.6】上記メモリセルM/Cは、本例では、図1を参照して前述したような高集積化が可能な1トランジスタQ・1キャパシタC型のセルが用いられており、このセルの強誘電体キャパシタCの強誘電体薄膜のヒステリシス特性は図2を参照して前述したようなものである。

【003.7】前記メモリセルアレイにおける同一行のセルM/Cのスイッチ用トランジスタQのゲートには共通にワード線WL<sub>i</sub>(代表的にWL0、WL1の2本のみ示している)が接続されており、同一行のセルM/CのキャパシタCのプレート電極には共通にプレート線PL<sub>i</sub>(代表的にPL0、PL1の2本のみ示している)が接続されており、前記ワード線WL<sub>i</sub>およびプレート線PL<sub>i</sub>は平行に設けられている。

【003.8】さらに、前記メモリセルアレイMCAにおける同一列のセルM/CのトランジスタQのドレインには共通にビット線(代表的に対線をなすBL、/BLの1対のみ示している)が接続されている。

【003.9】前記プリチャージ・イコライズ回路部EQAは、ビット線プリチャージ電位(本例では接地電位VSS)が与えられるVSS線とビット線対BL、/BLとの間にそれぞれ接続されたビット線プリチャージ用のNMOSトランジスタQNと、上記ビット線対BL、/BL間に接続されたビット線電位イコライズ用のNMOSトランジスタQEとを有し、プリチャージ・イコライズ制御信号EQにより制御される。

【004.0】前記ダミーセル部DCAは、メモリセルアレイの各ビット線BL、/BLに1個ずつ接続された参考電位を作るためのダミーセルと、同一行のダミーセルを選択するための2本のダミーワード線DWL、/DWLを有する。

【004.1】本実施例では、前記各ダミーセルは、前記2本のダミーワード線DWL、/DWLのうちの一方にゲートが接続されたダミースイッチ用のNMOSトランジスタQd(セルのスイッチ用のNMOSトランジスタQと同等のもの)と、このトランジスタQdに直列に接続され、ゲートにダミーセル書き込み制御線DCPが接続されたダミーセル基準電位供給用のNMOSトランジスタQcとを有し、上記ダミーセル基準電位供給用のNMOSトランジスタの一端にダミーセル基準電位VDCが与えられている。この場合、前記スイッチ用のNMOSトランジスタQdのソース領域のN型拡散層およびダミーセル基準電位供給用のNMOSトランジスタQcのソース領域のN型拡散層の容量がダミーキャパシタとして

使用されている。

【0042】前記ダミーセル書き込み制御線DCPに供給されるダミーキャパシタプリチャージ制御信号VDCPは、0VとVCCと0Vの間を変化する前記ダミーワード線DWLあるいは／DWLが選択される前の所定期間に活性化されて前記ダミーセル基準電位供給用のNMOSENTRISトランジスタをオン状態に制御するものである。

【0043】なお、前記メモリセル領域31の複数本のワード線WL<sub>i</sub>は、アドレス信号に基づいてワード線選択回路(図示せず)により1本のワード線(例えばWL0)が選択されてワード線駆動電圧V<sub>WL</sub>が供給される。

【0044】また、前記選択された1本のワード線WL<sub>i</sub>により選択されるセルM/Cが接続されているビット線(例えばBL)と対をなす別のビット線(例えば／BL)に接続されているダミーセルを選択するために、ダミーワード線選択回路(図示せず)により前記メモリセル領域31の2本のダミーワード線DWL、／DWLのうちの1本のダミーワード線(例えば／DWL)が選択されてダミーワード線駆動電圧V<sub>DWL</sub>が供給される。

【0045】また、前記メモリセル領域31の複数本のプレート線PL<sub>i</sub>は、アドレス信号に基づいてプレート線選択回路(図示せず)により1本のプレート線(例えばPL0)が選択されてプレート線電圧V<sub>PL</sub>が供給される。

【0046】図4は、図3中のセンスアンプ領域32を取り出して回路例を示している。

【0047】このセンスアンプ領域32の中には、センスアンプS/A自身の他に、カラム選択ゲートCG、プリチャージ用のPMOSトランジスタQPが含まれている。

【0048】上記センスアンプS/Aは、選択されたメモリセルに接続されているビット線の電位(セルデータ読み出し電位)と選択されたダミーセルに接続されているビット線の電位(参照電位)と比較増幅するためのビット線電位センス用のNMOSセンスアンプおよびビット線電位を電源電位(VCC)に回復させるためのビット線電位リストア用のPMOSセンスアンプからなる。

【0049】なお、上記NMOSセンスアンプはNMOSセンスアンプ活性化信号/SANにより活性/非活性状態が制御され、前記PMOSセンスアンプはPMOSセンスアンプ活性化信号SAPにより活性/非活性状態が制御される。

【0050】前記カラム選択ゲートCGは、複数のカラムに対して共通に設けられたデータ線対DQ、／DQと各カラムのビット線対BL、／BLとの間に接続されたNMOSトランジスタQG対からなり、所望のカラムのビット線対BL、／BLを選択するためのカラム選択線CSLによりスイッチ制御され、対応するカラムのセンスアンプS/Aにより比較増幅した後のビット線対BL、／BLのデータをデータ線対DQ、／DQに転送す

るためのものである。

【0051】前記プリチャージ用トランジスタQPは、VCCノードとビット線対BL、／BLとの間にそれぞれ接続されたPMOSトランジスタからなり、ビット線プリチャージ信号V<sub>Pr</sub>によりスイッチ制御され、ビット線対BL、／BLの電位をVCCにプリチャージするためのものである。

【0052】<第1実施例>(図5、図6)

図5は、第1実施例に係る図1のFRAMにおける二値データ("0"、"/"1")の読み出し/書き込み動作の電圧波形を示すタイミングチャートである。

【0053】図6は、第1実施例における"0"読み"/"1"読みの動作におけるビット線電位とFRAMセルの強誘電体キャパシタのヒステリシス曲線の関係を説明するために示す図である。

【0054】図5において、EQはビット線プリチャージ・イコライズ制御信号、V<sub>Pr</sub>はセンスアンプ領域で使用されるビット線プリチャージ信号であり、それぞれVCCと0VとVCCの間を変化する。

【0055】V<sub>BL(M/C)</sub>は選択されたセル(選択セル)に接続されているビット線BLの電圧、V<sub>BL(S/A)</sub>は前記選択セルに接続されているビット線BLに電荷転送素子QTを介して接続されているセンスアンプ領域32のビット線BLの電圧である。

【0056】V<sub>BL(M/C)</sub>は選択されたダミーセル(選択ダミーセル)に接続されているビット線BLの電圧、V<sub>BL(S/A)</sub>は前記選択ダミーセルに接続されているビット線BLに電荷転送素子QTを介して接続されているセンスアンプ領域のビット線BLの電圧(参照電圧)である。

【0057】V<sub>WL</sub>はワード線選択回路(図示せず)により選択されたワード線(選択ワード線、例えばWL0)の電圧であり、0Vと昇圧電圧V<sub>pp</sub>との間を変化する。V<sub>DWL</sub>はダミーワード線選択回路(図示せず)により選択されたダミーワード線(選択ダミーワード線、例えば／DWL)の電圧であり、0VとVCCの間を変化する。

【0058】φtは電荷転送素子QTのゲートに印加される制御クロック信号であり、VCCと0VとVCC+V<sub>th</sub>以上の電位(昇圧電圧V<sub>pp</sub>)とVCCの間を変化する。

【0059】／SANはNMOSセンスアンプ活性化信号であり、VCCと0Vの間を変化し、SAPはPMOSセンスアンプ活性化信号であり、0VとVCCの間を変化する。

【0060】V<sub>PL</sub>はプレート線選択回路(図示せず)により選択されたプレート線(選択プレート線、例えばPL0)の電圧であり、0VとVCCの間を変化する。

【0061】次に、第1実施例におけるメモリセルからの二値データの読み出し/書き込み動作について、図5のタイミングチャート、図6のヒステリシス曲線を参照しながら説明する。

【0062】(1) 待機状態では、信号EQが活性状態（本例では論理レベル“1”、VCC）であり、プリチャージ・イコライズ回路部EQAがオン状態であり、メモリセル領域31のビット線対BL、/BLの電位がVSSに設定されている。

【0063】また、ビット線プリチャージ信号Vprが非活性状態（本例では論理レベル“1”、VCC）であり、プリチャージ用トランジスタQPはオフ状態である。

【0064】読み出し／書き込み動作の開始に際して、まず、信号EQを非活性状態（本例では論理レベル“0”、0V）にしてプリチャージ・イコライズ回路部EQAをオフにし、メモリセル領域31のビット線対BL、/BLのイコライズを解除する。

【0065】(2) 次に、信号Vprを活性状態（本例では論理レベル“0”、0V）にしてプリチャージ用トランジスタQPをオンにし、センスアンプ領域32のビット線対BL、/BLの電位をVCCにプリチャージし、メモリセル領域のビット線対BL、/BLをVCC-Vthにプリチャージする。ここで、-Vthは電荷転送素子QTのゲートに印加されている制御クロック信号 $\phi_t$ がVCCの時の電荷転送素子QTによる閾値落ちである。

$$VCC - Vth - \Delta V1$$

なるとすると。これに対して、メモリセルが“1”データの場合にビット線BLから強誘電体キャパシタのストレージノードに電荷を流し込むと、セルキャパシタのストレージノードとメモリセル領域のビット線BLの電位は

$$VCC - Vth - \Delta V2$$

なるとする。

【0070】ここで、前記したようにメモリセルに“0”データが蓄積されている場合には、分極の向きはプレート線側からビット線側であり、メモリセルに“1”データが蓄積されている時は分極の向きはビット線側からプレート線側である。よって、ビット線BLからメモリセル★

$$VCC - Vth - \Delta V1 < VCC - Vth - \Delta V2$$

となる。

【0071】上記したように“0”データが読み出された場合／“1”が読み出された場合に対応してメモリセル領域のビット線BLの電位はVCC-Vthからそれぞれ $\Delta V1$ 、 $\Delta V2$ 下降することになり、電荷転送素子QTがオンし、センスアンプ領域のビット線側からメモリセル領域のビット線側に電荷が流れることになる。この電荷の流出は、電荷転送素子QTのソース側（メモリセル領域のビット線）の電位が再びVCC-Vthになるまで続く。

【0072】メモリセル領域のビット線容量とセンスアンプ領域のビット線容量とを比較した場合、通常はセンスアンプ領域のビット線容量の方が小さいので、結果的にセンス前の段階（時点）で増幅が行われたことになる。

【0073】(4) 前記したようなセンスアンプ領域からメモリセル領域への電荷の流出の過程が終了した後、電荷転送素子QTのゲートに印加されている制御クロック信号 $\phi_t$ を0Vに落とすことによって電荷転送素子QT

\*

\* 【0066】(3) 次に、プリチャージ用トランジスタQPをオフに戻した後、選択ワード線（例えばWL0）の電位VWLをVppに立ち上げる。このワード線電位VWLの立ち上げにより、選択ワード線に接続されている選択セルのスイッチ用トランジスタがオン状態になり、この選択セルが接続されているメモリセル領域のビット線BLから選択セルの強誘電体キャパシタのストレージノードに電荷が流れ込む。

【0067】ここで注意すべきは、この時点ではまだプレート電位VPLは0Vのままであり、昇圧を行わない。また、選択セルのスイッチ用トランジスタQによる閾値落ちはない。

【0068】ここで、図6に示すヒステリシス曲線において、強誘電体キャパシタのプレート側からビット線側に向いている分極の状態を“0”データ（の記憶状態）、その反対にビット線側からプレート側に向いている分極の状態を“1”データ（の記憶状態）と定義する。

【0069】いま、メモリセルが“0”データの場合にビット線BLから強誘電体キャパシタのストレージノードに電荷を流し込むと、セルキャパシタのストレージノードとメモリセル領域のビット線BLの電位は

$$\dots(1)$$

※ージノードに電荷を流し込むと、セルキャパシタのストレージノードとメモリセル領域のビット線BLの電位は

$$\dots(2)$$

★に供給された電荷は、“0”データが蓄積されているメモリセルに対しては分極と反対の方向の電場を供給し、“1”データが蓄積されているメモリセルに対しては分極と同じ向きの電場を供給する。この結果、“0”データが読み出された場合が“1”が読み出された場合よりもキャパシタ容量としては重く、

$$\dots(3)$$

をオフにしてメモリセル領域31とセンスアンプ領域32とを切り離し、NMO Sセンスアンプ活性化信号/SANを活性化(0V)するとともにPMOSセンスアンプ活性化信号SAPを活性化(VCC)することによってセンスアンプS/Aを活性化して比較増幅を行い、カラム選択線CSLを活性化(VCC)することによってカラム選択ゲートをオン状態にしてデータ線対DQ、/DQにビット線対BL、/BLのデータを転送する。また、このプロセスと並行してプレート電圧VPLをVCCに立ち上げておく（プレート電極を昇圧しておく）。

【0074】(5) 前記したようにプレート電圧VPLをVCCに立ち上げた後、再び、電荷転送素子QTのゲートにVCC+Vth以上の電位(Vpp)を加え、活性化されたままのセンスアンプS/Aのデータを用いてメモリセル領域31のビット線に再書き込み電圧を加える。この状態でプレート電位VPLを元の0Vに戻し、続いて、ワード線電位VWLおよびダミーワード線電位VDWLを元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、メモ

リセルへの再書き込みは終了する。

【0075】即ち、"0"データが読み出された場合には、プレート電位 $V_{PL}$ がVCC、ビット線電位が0Vの時に、プレート線からビット線向きの分極が書かれ、"0"データが再書き込みされることになる。

【0076】これに対して、"1"データが読み出された場合、プレート電位 $V_{PL}$ を0Vに戻した時にビット線電位は未だセンス増幅の結果のままのVCCであるので、ビット線からプレート線向きの分極が書かれ、"1"データが再書き込みされることになる。

【0077】この後、制御クロック信号 $\phi_t$ をVCCに戻し、プリチャージ・イコライズ回路部EQAをオンにして待機状態に設定する。

【0078】ここではデータの再書き込み動作を説明したが、チップ外部から入力するデータを書き込む場合は、セルデータを読み出した時のセンスアンプによる比較増幅時にセンスアンプ領域32のビット線対BL、/BLに所望のデータを書き込み、後は前記再書き込み動作と同じ要領でメモリセル領域のビット線に書き込めば良い。

【0079】上記第1実施例のFRAMにおいては、読み出しに際してプレート電圧を0Vに保持するので、再書き込みあるいは書き込みに際してFRAMセルの強誘電体キャパシタの両端間に加わる電圧( $V_{PL} - V_{SN}$ )の絶対値はVCC(またはVCC-Vth)になる。

【0080】従って、キャパシタに蓄積される電荷量が十分に得られることになり、メモリセルデータの読み出し感度が良好になり、キャパシタに蓄積される電荷量がリラクゼーションや分極疲労により減少した場合でもメモリセルデータの読み出しを正確に行うことが可能になり、読み出し/書き込み特性に優れたFRAMを実現することが可能になる。

【0081】また、第1実施例のFRAMにおいては、特に"1"読みデータが記憶されている場合にキャパシタCとスイッチ用トランジスタQとの接続ノードの電圧 $V_{SN}$ が電流リークによりVCC→0Vに遷移したとしても、スイッチ用トランジスタQをオフ状態にしたときのプレート電位 $V_{PL}$ がVCC/2でなく0Vにされているため、キャパシタの分極が反転することはない。従って、DRAMセルのようなあるサイクルでのリフレッシュ動作は不要であり、使い勝手が悪くなることはない。

【0082】<第1実施例の変形例1>(図7)  
前記第1実施例において、電荷転送素子QTは、メモリセルからビット線に読み出される微小電荷をセンスアンプでセンス増幅する前の段階で増幅する作用を有する点で有効であるが、センスアンプ領域32からメモリセル領域31へ電荷を移しきってオフ状態になるまでの所要期間が長いとセンス動作の高速化に支障をきたすので、この点を改善した変形例1を以下に説明する。

【0083】図7は、第1実施例の変形例1に係る図1のFRAMにおける二値データの読み出し/書き込み動

作の電圧波形を示すタイミングチャートである。

【0084】第1実施例の変形例1は、前記第1実施例と比べて、同じ構成であり、制御クロック信号 $\phi_t$ を0Vに落とすことによって電荷転送素子QTをオフにしてメモリセル領域31とセンスアンプ領域32とを切り離すタイミングを早め、これに伴って、センスアンプ活性化信号/SAN、SAPの活性化タイミングを早めた点が異なり、その他は同じである。

【0085】即ち、前記第1実施例においては、"0"読みの場合にセンスアンプ領域32のビット線BLの電圧 $V_{BL}(S/A)$ が下がり切った時点で、電荷転送素子QTをオフにしているが、この変形例1においては、センスアンプ領域32のビット線対BL、/BLにセンスマージンを越える電位差が生じた段階で電荷転送素子QTをオフにして次の動作に移っているので、センス動作の高速化を図ることが可能になる。

【0086】<第1実施例の変形例2>(図8)  
前記第1実施例において、電荷転送素子QTは、メモリセルからビット線に読み出される微小電荷をセンスアンプでセンス増幅する前の段階で増幅する作用を有する点で有効であるが、センスアンプ領域32からメモリセル領域31へ電荷を移しきってオフ状態になるまでの所要期間が長いとセンス動作の高速化に支障をきたすので、この点を改善した変形例2を以下に説明する。

【0087】図8は、第1実施例の変形例2に係る図1のFRAMにおける二値データの読み出し/書き込み動作の電圧波形を示すタイミングチャートである。

【0088】第1実施例の変形例2は、前記第1実施例と比べて、同じ構成であり、制御クロック信号 $\phi_t$ を0Vに落とすことなく、センス動作後に昇圧電圧 $V_{pp}$ に上げている(電荷転送素子QTをオフにしない)点が異なり、その他は同じである。

【0089】即ち、前記第1実施例においては、"0"読みの場合にセンスアンプ領域32のビット線BLの電圧 $V_{BL}(S/A)$ が下がり切った時点で、電荷転送素子QTをオフにしているが、この変形例2においては、電荷転送素子QTをオフにしないでセンス動作を行うので、電荷転送素子QTをオフに制御する時間分だけセンス動作の高速化を図ることが可能になる。

【0090】しかも、センスアンプ領域32のビット線対BL、/BLにセンスマージンを越える電位差が生じた段階でセンス動作を行いうように、センスアンプ活性化信号/SAN、SAPの活性化タイミングを早めることによって、センス動作の一層の高速化を図ることが可能になる。

【0091】<第2実施例>(図9、図10)  
第2実施例は、前記第1実施例と同じ構成であるが、メモリセルからビット線に信号電荷を読み出す際に、プレート電位 $V_{PL}$ を0Vより低い値まで下降させるようにクロッキングさせる点が異なり、その他は同じである。

【0092】図9は、第2実施例に係る図1のFRAMにおける二値データの読み出し／書き込み動作の電圧波形を示すタイミングチャートである。ここで、選択プレート線の電圧V<sub>PPL</sub>は、0Vと-VCCと0Vと+VCCと0Vの間を変化することに注意すべきである。

【0093】図10(a)、(b)は、第2実施例における"0"読み／"1"読みの動作におけるビット線電位とFRAMセルの強誘電体キャパシタのヒステリシス曲線の関係を説明するために示す図である。

【0094】次に、第2実施例におけるメモリセルからの二値データの読み出し／書き込み動作について、図9のタイミングチャート、図10(a)、(b)のヒステリシス曲線を参照しながら説明する。

【0095】(1) 待機状態では、信号E<sub>Q</sub>が活性状態(本例では論理レベル“1”、VCC)であり、プリチャージ・イコライズ回路部E<sub>QA</sub>がオン状態であり、メモリセル領域31のビット線対B<sub>L</sub>、/B<sub>L</sub>の電位がVSSに設定されている。

【0096】また、ビット線プリチャージ信号V<sub>Pr</sub>が非活性状態(本例では論理レベル“1”、VCC)であり、プリチャージ用トランジスタQ<sub>P</sub>はオフ状態である。

【0097】読み出し／書き込み動作の開始に際して、まず、信号E<sub>Q</sub>を非活性状態(0V)にしてプリチャージ・イコライズ回路部E<sub>QA</sub>をオフにし、メモリセル領域31のビット線対B<sub>L</sub>、/B<sub>L</sub>のイコライズを解除する。

【0098】(2) 次に、信号V<sub>Pr</sub>を活性状態(0V)に\*

$$VCC - V_{th} - \Delta V_a$$

になる。また、"1"データを読み出した場合、セルキャパシタのストレージノードとメモリセル領域31のビッ\*

$$VCC - V_{th} - \Delta V_b$$

になる。

【0103】図10(a)、(b)のヒステリシス曲線から分かるように、"0"データを読み出した場合は分極★

$$VCC - V_{th} - \Delta V_a < VCC - V_{th} - \Delta V_b$$

となる。

【0104】上記したように"0"データが読み出された場合／"1"が読み出された場合に対応してメモリセル領域31のビット線B<sub>L</sub>の電位はVCC-V<sub>th</sub>からそれぞれ△V<sub>a</sub>、△V<sub>b</sub>下降することになり、電荷転送素子Q<sub>T</sub>がオンし、センスアンプ領域32のビット線側からメモリセル領域31のビット線側に電荷が流れることになる。この電荷の流出は、電荷転送素子Q<sub>T</sub>のソース側(メモリセル領域31のビット線)の電位が再びVCC-V<sub>th</sub>になるまで続く。

【0105】メモリセル領域31のビット線容量とセンスアンプ領域32のビット線容量とを比較した場合、通常はセンスアンプ領域32のビット線容量の方が小さいので、結果的にセンス前の段階(時点)で増幅が行われたことになる。

\*としてプリチャージ用トランジスタQ<sub>P</sub>をオンにし、センスアンプ領域32のビット線対B<sub>L</sub>、/B<sub>L</sub>の電位をVCCにプリチャージし、メモリセル領域31のビット線対B<sub>L</sub>、/B<sub>L</sub>をVCC-V<sub>th</sub>にプリチャージする。ここで、-V<sub>th</sub>は電荷転送素子Q<sub>T</sub>のゲートに印加されている制御クロック信号φ<sub>t</sub>がVCCの時の電荷転送素子Q<sub>T</sub>による閾値落ちである。

【0099】(3) 次に、プリチャージ用トランジスタQ<sub>P</sub>をオフに戻した後、選択ワード線(例えばWL0)の電位V<sub>WL</sub>をV<sub>pp</sub>に立ち上げ、引き続いて、選択プレート線(本例ではPL0)の電位V<sub>PPL</sub>を0Vから-VCCまで下降させる。

【0100】上記ワード線電位V<sub>WL</sub>の立ち上げにより、選択ワード線に接続されている選択セルのスイッチ用トランジスタがオン状態(閾値落ちはない)になり、選択セルが接続されているメモリセル領域31のビット線B<sub>L</sub>から選択セルの強誘電体キャパシタのストレージノードに電荷が流れ込む。

【0101】ここで、強誘電体キャパシタに予め書かれている分極の状態が"0"データの場合には、分極は図10(a)に示すヒステリシス曲線においてa点からd点に移り、予め書かれている分極の状態が"1"データの場合には、分極は図10(b)に示すヒステリシス曲線においてb点からd点に移る。

【0102】この結果、"0"データを読み出した場合、セルキャパシタのストレージノードとメモリセル領域31のビット線B<sub>L</sub>の電位は

$$\dots(4)$$

※ト線B<sub>L</sub>の電位は

$$\dots(5)$$

★反転を伴うので、"1"データを読み出した場合に比べて多くの電荷がセルキャパシタに流れ込む。よって、式(4)と(5)を比較した場合、

$$(6)$$

【0106】(4) 前記したようなセンスアンプ領域32からメモリセル領域31への電荷の流出の過程が終了した後、プレート電極を0Vに戻す。このプロセスと並行して、前記電荷転送素子Q<sub>T</sub>をオフにしてメモリセル領域31とセンスアンプ領域32とを切り離し、センスアンプS/Aを活性化して比較増幅を行い、カラム選択ゲートCGをオン状態にしてデータ線対DQ、/DQにビット線対B<sub>L</sub>、/B<sub>L</sub>のデータを転送する。

【0107】(5) 続いて、再び電荷転送素子Q<sub>T</sub>のゲートにVCC+V<sub>th</sub>以上の電位(V<sub>pp</sub>)を加え、活性化されたままのセンスアンプS/Aのデータを用いてメモリセル領域31のビット線対B<sub>L</sub>、/B<sub>L</sub>にVCC、VSSの各一方を加える。この時点で、図10(a)、(b)のヒステリシス曲線から分かるように、"0"読みの分極はb点、"1"読みの分極はd点になる。

【0108】 続いて、プレート電圧  $V_{PL}$  を  $VCC$  に昇圧する。この時点で、図10 (a)、(b) のヒステリシス曲線から分かるように、"0" 読みの分極はc 点に移り、"1" 読みの分極はb 点に移ることになる。

【0109】 続いて、プレート電圧  $V_{PL}$  を再び  $0V$  に戻す。この時点で、図10 (a)、(b) のヒステリシス曲線から分かるように、"0" 読みの分極はa 点に移り、"1" 読みの分極はd 点に移ることになる。

【0110】 この状態でワード線電位  $V_WL$  やダミーワード線電位  $V_{DWL}$  を元の  $0V$  に戻し、センスアンプS/Aを非活性状態にすれば、図10 (b) のヒステリシス曲線から分かるように、"1" 読みの分極は次第にb 点に移り、メモリセルへの再書き込みは終了する。

【0111】 即ち、"0" データが読み出された場合は、プレート電圧  $V_{PL}$  が  $VCC$ 、ビット線電位が  $0V$  の時に、プレート線からビット線向きの分極が書かれ、"0" データが再書き込みされることになる。

【0112】 これに対して、"1" データが読み出された場合、プレート電圧  $V_{PL}$  を  $0V$  に戻した時にビット線電位は未だセンス増幅の結果のままの  $VCC$  であるので、ビット線からプレート線向きの分極が書かれ、"1" データが再書き込みされることになる。この後、制御クロック信号  $\phi t$  を  $VCC$  に戻し、プリチャージ・イコライズ回路部EQAをオンにして待機状態に設定する。

【0113】 ここではデータの再書き込み動作を説明したが、チップ外部から入力するデータを書き込む場合は、セルデータを読み出した時のセンスアンプS/Aによる比較増幅時にセンスアンプ領域3 2のビット線に所望のデータを書き込み、後は前記再書き込み動作と同じ要領でメモリセル領域3 1のビット線に書き込めば良い。

【0114】 上記第2実施例においては、前述した第1実施例と同様の効果が得られるが、読み出し時にプレート電圧  $V_{PL}$  を  $0V$  から  $-VCC$  まで下げるようにならざるを得ないので、前記第1実施例と比較してビット線BLに一層多くの電荷を読み出すことができる。

【0115】 <第3実施例> (図11、図12)  
第3実施例は、前記第2実施例と同じ構成であるが、メモリセルからビット線に信号電荷を読み出し、電荷転送素子QTをオフにしてセンスアンプS/Aによる比較増幅を行った後に、オフ状態にしていた電荷転送素子QTをオンにして、活性化していたセンスアンプS/Aをメモリセル領域3 2のビット線対BL、/ $BL$  と接続する間、プレート線電圧  $V_{PL}$  を  $0V$  に戻さずに  $-VCC$  のままでしておく点が異なり、その他は同じである。

【0116】 図11は、第3実施例に係る図1のFRAMにおける二値データの読み出し／書き込み動作の電圧波形を示すタイミングチャートである。ここで、選択プレート線の電圧  $V_{PL}$  は、 $0V$  と  $-VCC$  と  $+VCC$  と  $0V$  の間を変化することに注意すべきである。

【0117】 図12 (a)、(b) は、第3実施例にお

ける"0" 読み／"1" 読みの動作に係るビット線電位とFRAMセルの強誘電体キャバシタCのヒステリシス曲線の関係を説明するために示す図である。

【0118】 次に、第3実施例におけるメモリセルからの二値データの読み出し／書き込み動作について、図11のタイミングチャート、図12 (a)、(b) のヒステリシス曲線を参照しながら説明する。

【0119】 待機状態から読み出し／書き込み動作を開始し、前記したようなセンスアンプ領域3 2からメモリセル領域3 1への電荷の流出の過程が終了するまでのプロセスは、前記第2実施例における(1) 乃至(3) のプロセスと同じである。

【0120】 (4) 前記したようなセンスアンプ領域3 2からメモリセル領域3 1への電荷の流出の過程が終了した後、プレート電極を  $0V$  に戻さずに  $-VCC$  のままで、前記電荷転送素子QTをオフにしてメモリセル領域3 1とセンスアンプ領域3 2とを切り離し、センスアンプS/Aを活性化して比較増幅を行い、カラム選択ゲートCGをオン状態にしてデータ線対DQ、/ $DQ$  にビット線対BL、/ $BL$  のデータを転送する。この時点では、図12 (a)、(b) のヒステリシス曲線から分かるように、"0" 読み／"1" 読みとも分極はd 点である。

【0121】 (5) 続いて、再び電荷転送素子QTのゲートに  $VCC + V_{th}$  以上の電位 ( $V_{pp}$ ) を加え、活性化されたままのセンスアンプS/Aのデータを用いてメモリセル領域3 1のビット線に再書き込み電圧を加える。この時点では、図12 (a)、(b) のヒステリシス曲線から分かるように、"0" 読みの分極はd 点のままであり、"1" 読みの分極はe 点に移ることになる。

【0122】 続いて、プレート電圧  $V_{PL}$  を  $VCC$  に昇圧する。この時点で、図12 (a)、(b) のヒステリシス曲線から分かるように、"0" 読みの分極はc 点に移り、"1" 読みの分極はb 点に移ることになる。

【0123】 続いて、プレート電圧  $V_{PL}$  を再び  $0V$  に戻す。この時点で、図12 (a)、(b) のヒステリシス曲線から分かるように、"0" 読みの分極はa 点に移り、"1" 読みの分極はd 点に移ることになる。

【0124】 この状態でワード線電位  $V_WL$  やダミーワード線電位  $V_{DWL}$  を元の  $0V$  に戻し、センスアンプS/Aを非活性状態にすれば、図12 (b) のヒステリシス曲線から分かるように、"1" 読みの分極は次第にb 点に移り、メモリセルへの再書き込みは終了する。

【0125】 即ち、"0" データが読み出された場合には、プレート電圧  $V_{PL}$  が  $VCC$ 、ビット線電位が  $0V$  の時に、プレート線からビット線向きの分極が書かれ、"0" データが再書き込みされることになる。

【0126】 これに対して、"1" データが読み出された場合、プレート電圧  $V_{PL}$  を  $0V$  に戻した時にビット線電位は未だセンス増幅の結果のままの  $VCC$  であるので、ビット線からプレート線向きの分極が書かれ、"1" データ

が再書き込みされることになる。

【0127】この後、制御クロック信号 $\phi_t$ をVCCに戻し、プリチャージ・イコライズ回路部EQAをオンにして待機状態に設定する。

【0128】ここではデータの再書き込み動作を説明したが、チップ外部から入力するデータを書き込む場合は、セルデータを読み出した時のセンスアンプS/Aによる比較增幅時にセンスアンプ領域32のビット線に所望のデータを書き込み、後は前記再書き込み動作と同じ要領でメモリセル領域31のビット線に書き込めば良い。

【0129】上記第3実施例においては、前述した第1実施例と同様の効果が得られるが、読み出し時にプレート電圧VPLを0Vから-VCCまで下げた後に+VCCまで変化させて、前記第2実施例のようにプレート電圧VPLを一度0Vを経由してから+VCCに昇圧するのと比較して、高速化が可能である。

【0130】図13は、本発明の第2の実施の形態に係る多値データを記憶可能なFRAMの主要部の概略構成を示しており、特にメモリセルアレイおよび周辺回路の一部の回路接続を示している。

【0131】図13において、30はデータを蓄積するメモリセル領域、32k ( $k=0, 1, 2$ ) はメモリセルからビット線に読み出された多値データを比較増幅するセンスアンプS/Aを含む複数(本例では3)個のセンスアンプ(S/A)領域、(BL0, /BL0)、(BL1, /BL1)、(BL2, /BL2)は前記3個のセンスアンプ領域32k ( $k=0, 1, 2$ )におけるそれぞれビット線対である。

【0132】以下、前記3個のセンスアンプ領域32kを、電荷転送素子QT側から第1のセンスアンプ領域320、第2のセンスアンプ領域321、第3のセンスアンプ領域322と呼ぶものとする。

【0133】前記メモリセル領域30と3個のセンスアンプ領域32kとは、メモリセル領域30のビット線対BL, /BLと第1のセンスアンプ領域320のビット線対BL0, /BL0との間にそれぞれ1個挿入されたNMOSトランジスタ(ゲートに制御クロック信号 $\phi_t$ が印加される)からなる電荷転送素子QTによって区切られ、選択的に接続切り離しが行われるようになっている。

【0134】また、前記第1のセンスアンプ領域320のビット線対BL0, /BL0と第2のセンスアンプ領域321のビット線対BL1, /BL1とは、両者間にそれぞれ1個挿入されたセンスアンプ領域分割用のNMOStトランジスタQSによって区切られ、選択的に接続切り離しが行われるようになっている。

【0135】同様に、前記第2のセンスアンプ領域321のビット線対BL1, /BL1と第3のセンスアンプ領域322のビット線対BL2, /BL2とは、両者間にそれぞれ1個挿入されたセンスアンプ領域分割用のN

MOSトランジスタQSによって区切られ、選択的に接続切り離しが行われるようになっている。

【0136】さらに、メモリセル領域30に前記第1のセンスアンプ領域320および第2のセンスアンプ領域321を介して接続されている第3のセンスアンプ領域322のビット線対BL2, /BL2とVCCノードとの間にビット線プリチャージ用のPMOSトランジスタQPがそれぞれ接続されている。このプリチャージ用トランジスタQPは、ビット線プリチャージ信号VPrにより10スイッチ制御され、第3のセンスアンプ領域322から第1のセンスアンプ領域320までの各ビット線対BL2, /BL2～BL0, /BL0の電位をVCCにプリチャージするためのものである。

【0137】前記メモリセル領域30の中には、メモリセルM/Cが行列状に配列されて形成されたメモリセルアレイMCAの他に、ビット線対BL, /BLをプリチャージ・イコライズするプリチャージ・イコライズ回路部EQAを含む。

【0138】上記メモリセルM/Cは、図1を参照して20前述したような1トランジスタ・1キャパシタ型の通常のセルであり、このセルの強誘電体キャパシタCの強誘電体薄膜のヒステリシス特性は図2を参照して前述したようなものである。

【0139】同一行のセルM/Cのスイッチ素子用トランジスタQのゲートには共通にワード線WL<sub>i</sub>(代表的にWL0, WL1の2本のみ示している)が接続されており、同一行のセルM/CのキャパシタCのプレート電極には共通にプレート線PL<sub>i</sub>(代表的にPL0, PL1の2本のみ示している)が接続されており、前記ワード線WL<sub>i</sub>およびプレート線PL<sub>i</sub>は平行に設けられている。さらに、同一列のセルM/CのトランジスタQのドレインには共通にビット線対BL, /BLが接続されている。

【0140】前記プリチャージ・イコライズ回路部EQAは、ビット線プリチャージ電位(本例では接地電位VSS)が与えられるVSS線とメモリセル領域30のビット線対BL, /BLとの間にそれぞれ接続されたビット線プリチャージ用のNMOSトランジスタQNと、上記ビット線対BL, /BL間に接続されたビット線電位イコライズ用のNMOSトランジスタQEとを有し、プリチャージ・イコライズ制御信号EQにより制御される。

【0141】なお、前記メモリセル領域30の複数本のワード線WL<sub>i</sub>は、アドレス信号に基づいてワード線選択回路(図示せず)により1本のワード線(例えばWL0)が選択されてワード線駆動電圧VWLが供給される。

【0142】また、前記メモリセル領域30の複数本のプレート線PL<sub>i</sub>は、アドレス信号に基づいてプレート線選択回路(図示せず)により1本のプレート線(例えばPL0)が選択されてプレート線電圧VPLが供給される。

【0143】図14は、図13の多値FRAMにおける3個のセンスアンプ領域32kの1個の一部を代表的に取り出して具体例を示す回路図である。

【0144】このセンスアンプ領域32kの中には、センスアンプS/A自身の他に、参照電位を作るためのダミーセル部DCA、カラム選択ゲートCGが含まれている。上記センスアンプS/Aは、選択されたメモリセルに接続されているビット線の電位（セルデータ読み出し電位）と選択されたダミーセルに接続されているビット線の電位（参照電位）と比較増幅するためのビット線電位センス用のNMO Sセンスアンプおよびビット線電位を電源電位（VCC）に回復させるためのビット線電位リストア用のPMOSセンスアンプからなる。

【0145】なお、上記NMO SセンスアンプはNMO Sセンスアンプ活性化信号/SANが0VまたはVCCに変化することにより活性／非活性状態が制御され、前記PMOSセンスアンプはPMOSセンスアンプ活性化信号SAPがVCCまたは0Vに変化することにより活性／非活性状態が制御される。

【0146】前記センスアンプ領域32kのカラム選択ゲートCGは、複数のカラムに対して共通に設けられたデータ線対DQk、/DQk (k=0, 1, 2) のうちの対応する一対と、対応するビット線対(BL0、/BL0)、(BL1、/BL1)、(BL2、/BL2)との間にそれぞれ接続されたNMO SトランジスタQGからなり、所望のカラムのビット線対(BL0、/BL0)、(BL1、/BL1)、(BL2、/BL2)を選択するためのカラム選択線CSLによりスイッチ制御され、対応するカラムのセンスアンプS/Aにより比較増幅した後のビット線対(BL0、/BL0)、(BL1、/BL1)、(BL2、/BL2)のデータを対応するデータ線対DQk、/DQkに転送するためのものである。

【0147】また、前記各センスアンプ領域32kのダミーセル部DCAは、センスアンプ領域32kにおける対応するビット線(BL0、/BL0)、(BL1、/BL1)、(BL2、/BL2)に1個ずつ接続された参照電位を作るためのダミーセルと、同一行のダミーセルを選択するためのダミーワード線（代表的に逐一的に選択される一対をなす2本のDWL、/DWLのみ示している）を有する。

【0148】ここで注意すべきは、ダミーセル部DCAはセンスアンプ領域32k毎に異なる参照電位を作る点である。

【0149】本実施例では、前記ダミーセルとして、対応するダミーワード線DWLまたは/DWLがゲートに接続されたスイッチ用のNMO SトランジスタQd（セルのスイッチ用のNMO SトランジスタQと同等のもの）と、このトランジスタQdに直列に接続され、ゲートにダミーセル書込み制御線DCPが接続されたダミー

セル基準電位供給用のNMO SトランジスタQcとを有し、上記ダミーセル基準電位供給用のNMO SトランジスタQcの一端にダミーセル基準電位VDCk (k=0, 1, 2) が与えられている。上記ダミーセル書込み制御線DCPに供給されるダミーセル書込み制御信号DCPは、ダミーワード線DWLまたは/DWLが選択される前の所定期間に活性化されてダミーセル基準電位供給用のNMO SトランジスタQcをオン状態に制御する。

【0150】また、前記各センスアンプ領域32kでは、2本のダミーワード線DWL、/DWLのうち、前記メモリセル領域30で選択された1本のワード線（例えばWL0）により選択されるセルMCが接続されているビット線（例えばBL0、BL1、BL2）と対をなす別のビット線（例えば/BL0、/BL1、/BL2）に接続されているダミーセルを選択するために1本のダミーワード線（例えば/DWL）がダミーワード線選択回路（図示せず）により選択されてダミーワード線駆動電圧VDWLが供給される。

【0151】さらに、図13の回路中には、前記メモリセル領域30のビット線対BL、/BLに再書き込み電位を供給するための再書き込み電位供給回路が設けられている。

【0152】この再書き込み電位供給回路は、メモリセル領域30のビット線対BL、/BLと一対の再書き込み電位供給線11、/11との間に対応して接続された一対のNMO SトランジスタTr1、Tr12と、第1の再書き込み電位としてVSSが与えられる第1の再書き込み電位線130および前記一対の再書き込み電位供給線11、/11の間に接続された第1の再書き込み電位選択回路と、第2の再書き込み電位としてVCC/3が与えられる第2の再書き込み電位線131および前記一対の再書き込み電位供給線11、/11の間に接続された第2の再書き込み電位選択回路と、第3の再書き込み電位として2VCC/3が与えられる第3の再書き込み電位線132および前記一対の再書き込み電位供給線11、/11の間に接続された第3の再書き込み電位選択回路と、第4の再書き込み電位としてVCCが与えられる第4の再書き込み電位線133および前記一対の再書き込み電位供給線11、/11の間に接続された第4の再書き込み電位選択回路とを具備する。

【0153】前記一対のNMO SトランジスタTr1、Tr12は、各ゲートが対応して一対の再書き込み制御ゲート線14、/14の電位により制御される。

【0154】前記第1の再書き込み電位選択回路は、前記一対の再書き込み電位供給線のうちの一方11と第1の再書き込み電位線130との間に直列に接続されたPMOSトランジスタTr2およびNMO SトランジスタTr3と、前記一対の再書き込み電位供給線のうちの他方/11と第1の再書き込み電位線130との間に直列に接続されたPMOSトランジスタTr13およびNMO Sトランジスタ

Tr14 とを有する。

【0155】この場合、上記PMOSトランジスタTr2およびTr13は、各ゲートが対応して前記第1のセンスアンプ領域320のビット線対BL0、/BL0の電位により制御され、前記NMOSトランジスタTr3およびTr14は、各ゲートが対応して一対の第1の選択ゲート線15、/15の電位により制御される。

【0156】前記第2の再書き込み電位選択回路は、前記一対の再書き込み電位供給線のうちの一方11と第2の再書き込み電位線131との間に直列に接続されたNMOSトランジスタTr4およびPMOSトランジスタTr5およびNMOSトランジスタTr6と、前記一対の再書き込み電位供給線のうちの他方/11と第2の再書き込み電位線131との間に直列に接続されたNMOSトランジスタTr15およびPMOSトランジスタTr16およびNMOSトランジスタTr17とを有する。

【0157】この場合、上記NMOSトランジスタTr4およびTr15は、各ゲートが対応して前記第1のセンスアンプ領域320のビット線対BL0、/BL0の電位により制御され、前記PMOSトランジスタTr5およびTr16は、各ゲートが対応して前記第2のセンスアンプ領域321のビット線対BL1、/BL1の電位により制御され、前記NMOSトランジスタTr6およびTr17は、各ゲートが対応して一対の第2の選択ゲート線16、/16の電位により制御される。

【0158】前記第3の再書き込み電位選択回路は、前記一対の再書き込み電位供給線のうちの一方11と第3の再書き込み電位線132との間に直列に接続されたNMOSトランジスタTr7およびPMOSトランジスタTr8およびNMOSトランジスタTr9と、前記一対の再書き込み電位供給線のうちの他方/11と第3の再書き込み電位線132との間に直列に接続されたNMOSトランジスタTr18およびPMOSトランジスタTr19およびNMOSトランジスタTr20とを有する。

【0159】この場合、上記NMOSトランジスタTr7およびTr18は、各ゲートが対応して前記第2のセンスアンプ領域321のビット線対BL1、/BL1の電位により制御され、前記PMOSトランジスタTr8およびTr19は、各ゲートが対応して前記第3のセンスアンプ領域322のビット線対BL2、/BL2の電位により制御され、前記NMOSトランジスタTr9およびTr20は、各ゲートが対応して一対の第3の選択ゲート線17、/17の電位により制御される。

【0160】前記第4の再書き込み電位選択回路は、前記一対の再書き込み電位供給線のうちの一方11と第4の再書き込み電位線133との間に直列に接続されたNMOSトランジスタTr10およびNMOSトランジスタTr11と、前記一対の再書き込み電位供給線のうちの他方/11と第4の再書き込み電位線133との間に直列に接続されたNMOSトランジスタTr21およびNMOSトランジ

スタTr22とを有する。

【0161】この場合、上記NMOSトランジスタTr10およびTr21は、各ゲートが対応して前記第3のセンスアンプ領域322のビット線対BL2、/BL2の電位により制御され、前記NMOSトランジスタTr11およびTr22は、各ゲートが対応して一対の第4の選択ゲート線18、/18の電位により制御される。

【0162】図15(a)は、図13のFRAMにおいて3組のデータ線対DQk、/DQkのデータを二値2ビット形式のI/O線対データに変換する第1のデータ変換回路の一例を示す回路図、図15(b)は同図(a)の回路の動作を表わす真理値表である。

【0163】図15(a)において、二入力の NAND 回路41～46およびインバータ回路47～50は、図15(b)に示す真理値表の動作を実現するように論理接続されている。

【0164】図16(a)は、図13のFRAMにおいて二値2ビット形式で入力したI/O線対データを3組のデータ線対DQk、/DQkのデータに変換する第2のデータ変換回路の一例を示す回路図、図16(b)は同図(a)の回路の動作を表わす真理値表である。

【0165】図16(a)において、二入力の NAND 回路61、67、二入力のノア回路63、65およびインバータ回路62、64、66、68は、図16(b)に示す真理値表の動作を実現するように論理接続されている。

【0166】<第4実施例>(図17、図18)

図17は、第4実施例に係る図13の多値FRAMにおける四値データの読み出し/書き込み動作の電圧波形を示すタイミングチャートである。

【0167】図18(a)乃至(d)は、第4実施例に係る四値データ(各データを便宜的にそれぞれ"0"、"1/3"、"2/3"、"1"と呼ぶ。)の読み出し動作に伴うビット線電位とFRAMセルの強誘電体キャパシタのヒステリシス曲線の関係を説明するために示す図である。

【0168】図17において、EQはビット線プリチャージ・イコライズ信号、Vprはセンスアンプ領域で使用されるビット線プリチャージ信号であり、それぞれVCCと0Vの間を変化する。

【0169】V<sub>BL(M/C)</sub>は選択されたセル(選択セル)に接続されているビット線BLの電圧、V<sub>BL(S/A)</sub>は前記選択セルに接続されているビット線BLに電荷転送素子QTを介して接続されているセンスアンプ領域のビット線BLの電圧である。

【0170】V<sub>BL(MC)</sub>は選択されたダミーセル(選択ダミーセル)に接続されているビット線/BLの電圧、V<sub>BL(S/A)</sub>は前記選択ダミーセルに接続されているビット線/BLに電荷転送素子QTを介して接続されているセンスアンプ領域のビット線/BLの電圧(参照電圧)である。

【0171】 $V_{WL}$ はワード線選択回路（図示せず）により選択されたワード線（選択ワード線、例えばWL0）の電圧であり、0Vと昇圧電圧 $V_{pp}$ との間を変化する。

$V_{DWL}$ はダミーワード線選択回路（図示せず）により選択されたダミーワード線（選択ダミーワード線、例えば/ $DWL$ ）の電圧であり、0VとVCCの間を変化する。

【0172】 $\phi_t$ は電荷転送素子QTのゲートに印加される制御クロック信号であり、VCCと0Vと $V_{CC} + V_{th}$ 以上の電位（例えば前記昇圧電圧 $V_{pp}$ ）の間を変化する。

【0173】/ $SAN$ はNMOSセンスアンプ活性化信号であり、VCCと0Vの間を変化し、 $SAP$ はPMOSセンスアンプ活性化信号であり、0VとVCCの間を変化する。

【0174】 $V_{PL}$ はプレート線選択回路（図示せず）により選択されたプレート線（選択プレート線、例えばPL0）の電圧であり、0VとVCCの間を変化する。

【0175】次に、第4実施例におけるメモリセルからの四値データの読み出し／書き込み動作について、図17のタイミングチャート、図18(a)乃至(d)のヒステリシス曲線を参照しながら説明する。

【0176】本実施例において最も特徴的なことは、電荷転送素子QTを用いることにより多値データの読み出しマージンを十分に得られるようにした（従来は多値データの読み出しマージンが少なかった）ことにある。

【0177】(1) 待機状態では、信号EQが活性状態（本例では論理レベル“1”、VCC）であり、プリチャージ・イコライズ回路部EQAがオン状態であり、メモリセル領域30のビット線対BL、/ $BL$ の電位がVSSに設定されている。

【0178】また、ビット線プリチャージ信号 $V_{pr}$ が非活性状態（本例では論理レベル“1”、VCC）であり、プリチャージ用トランジスタQPはオフ状態である。

【0179】読み出し／書き込み動作の開始に際して、まず、信号EQを非活性状態(0V)にしてプリチャージ・イコライズ回路部EQAをオフにし、メモリセル領域30のビット線対BL、/ $BL$ のイコライズを解除する。

【0180】(2) 次に、信号 $V_{pr}$ を活性状態(0V)にしてプリチャージ用トランジスタQPをオンにし、センスアンプ領域322～320のビット線対BL2、/ $BL$ 2～BL0、/ $BL$ 0の電位をVCCにプリチャージし、メモリセル領域30のビット線対BL、/ $BL$ をVCC-V<sub>th</sub>にプリチャージする。ここで、-V<sub>th</sub>は電荷転送素子QTのゲートに印加されている制御クロック信号 $\phi_t$ がVCCの時の電荷転送素子QTによる閾値落ちである。

【0181】なお、この時、前記3対のセンスアンプ領域分割用トランジスタQSはそれぞれオン状態に制御されている。

【0182】(3) 次に、プリチャージ用トランジスタQPをオフに戻した後、選択ワード線（例えばWL0）の電位 $V_{WL}$ を $V_{pp}$ に立ち上げる。このワード線電位 $V_{WL}$ の立ち上げにより、選択ワード線に接続されている選択セルのスイッチ用トランジスタQがオン状態（閾値落ちはない）になり、選択セルが接続されているメモリセル領域のビット線BLから選択セルの強誘電体キャパシタCのストレージノードに電荷が流れ込む。

【0183】ここで注意すべきは、この時点ではまだプレート電位 $V_{PL}$ は0Vのままである。

【0184】強誘電体キャパシタCに予め書かれている分極の状態が“0”、“1/3”、“2/3”、“1”の場合には、それぞれ対応して図18(a)乃至(d)に示すヒステリシス曲線においてa1点、c1点、d1点、b1点に移る。

【0185】また、上記した分極の状態が“0”、“1/3”、“2/3”、“1”的データが読み出された時のセルキャパシタCのストレージノードとメモリセル領域のビット線BLの電位が、それぞれ対応して $V_0$ 、 $V_{1/3}$ 、 $V_{2/3}$ 、 $V_1$ になるとすると、

20  $V_0 < V_{1/3} < V_{2/3} < V_1 < V_{CC} - V_{th}$   
である。

【0186】メモリセルから上記のようなデータが読み出され、ビット線BLの電位が $V_{CC} - V_{th}$ から下降すると、電荷転送素子QTがオンし、センスアンプ領域322～320のビット線BL2～BL0からメモリセル領域30のビット線BLに向かって電荷が流出することになる。

【0187】ここで、前記“0”、“1/3”、“2/3”、“1”的データが読み出された時にセンスアンプ領域320、

30 321、322の各ビット線電位が、それぞれ $V_{s0}$ 、 $V_{s1/3}$ 、 $V_{s2/3}$ 、 $V_{s1}$ になるとする。

【0188】(4) 前記したようなセンスアンプ領域からメモリセル領域30への電荷の流出の過程が終了した後、電荷転送素子QTをオフにしてメモリセル領域30からセンスアンプ領域32kを切り離し、また、前記3対のセンスアンプ領域分割用トランジスタQSをオフにして3個のセンスアンプ領域32kの各ビット線対(BL0、/ $BL$ 0)、(BL1、/ $BL$ 1)、(BL2、/ $BL$ 2)を切り離す。

40 【0189】(5) 次に、各センスアンプ領域32kのビット線/ $BL$ 0、/ $BL$ 1、/ $BL$ 2側に接続されているダミーセルに対応するダミーワード線（本例では/ $DWL$ ）の電位 $V_{DWL}$ を立ち上げ、選択ダミーセルから参照電荷を読み出す。

【0190】ここで、各センスアンプ領域32kにおいてビット線/ $BL$ 0、/ $BL$ 1、/ $BL$ 2に読み出す参照電位 $V_{refk}$ は全て異なっている。

【0191】即ち、各センスアンプ領域32kにおける参照電位 $V_{refk}$ は、

50  $k=0 : (V_{s0} + V_{s1/3}) / 2$

$k=1 : (V_{S1/3} + V_{S2/3}) / 2$

$k=2 : (V_{S2/3} + V_{S1}) / 2$

となるように設定されている。

【0192】(6) 次に、前記3対のセンスアンプ領域分割用トランジスタQSにより分割されている各センスアンプ領域32kのセンスアンプS/Aを起動して比較增幅を行う。この結果、3組のセンスアンプS/Aは、選択セルから読み出されていた1組の四値のデータを3組の二値データに変換したことになる。

【0193】次に、上記分割された状態の各センスアンプ領域32kにおいて、カラム選択線CSLを活性化(VCC)することによってカラム選択ゲートCGをオン状態にして対応するデータ線対DQk、/DQkにビット線対(BL0、/BL0)、(BL1、/BL1)、(BL2、/BL2)のデータを転送する。

【0194】この3対のデータ線対DQk、/DQkのデータは、図15(a)に示す3ビット/2ビットデータ変換回路によって、図15(b)に示す真理値表のように、2ビットの二値データに変換され、2組の入出力データI/O0、/I/O0、I/O1、/I/O1として出力される。

【0195】次に、メモリセル領域30のプリチャージ・イコライズ回路部EQAをオンにしてビット線対BL、/BLの電位をVSSに設定し、プレート線電位VPLをVCCに昇圧し、再書き込みの準備をする。

【0196】この時点では、“0”読み、“1/3”読み、“2/3”読み、“1”読み分極は、それぞれ対応して図18(a)乃至(d)に示すヒステリシス曲線においてa2点、c2点、d2点、b2点に移る。

【0197】(7) 次に、再書き込み電位供給回路により、再書き込み電位線11を通じてメモリセル領域30のビット線対BLに再書き込み電位を与える。この後、プレート電位VPLを元の0Vに戻し、続いて、ワード線電位VWLおよびダミーワード線電位VDWLを元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、メモリセルM/Cに再書き込みを行ったことになる。この後、電荷転送素子QTをオンにするとともにメモリセル分割用トランジスタQSをオンにし、プリチャージ・イコライズ回路部EQAをオンにして待機状態に設定する。

【0198】以下、読み出されたデータが“0”, “1/3”, “2/3”, “1”的場合について具体的な手順を述べていく。

【0199】(8-1) 信号電荷として“0”が読み出された場合は、各センスアンプ領域32kにおいて、センスアンプS/Aによる比較增幅の後にビット線BL0、BL1、BL2側が“0”となる。この時点で、カラム選択線CSLを活性化し、データ線対(DQ0、/DQ0)、(DQ1、/DQ1)、(DQ2、/DQ2)に対応してデータ(0,1),(0,1),(0,1)を出力する。

【0200】この後、図15(a)に示すデータ変換回路によって2ビットの二値データに変換し、2組の入出

カデータ(I/O0、/I/O0)、(I/O1、/I/O1)として(0,1),(0,1)をチップ外部に出力する。

【0201】次に、センスアンプS/Aによる比較增幅の後、再書き込み電位選択ゲート用トランジスタTr1、Tr3、Tr6、Tr9、Tr11を選択し、再書き込み電位供給線11を通じて再書き込みのための多値電位を供給する。

【0202】この時、各センスアンプ領域32kにおける対応するビット線対(BL0、/BL0)、(BL1、/BL1)、(BL2、/BL2)は対応して(0,

10), (0,1), (0,1)になっているので、再書き込み電位選択ゲート用トランジスタTr4、Tr7、Tr10がオフし、Tr2がオンするので、トランジスタTr1、Tr2、Tr3を通じてメモリセル領域30のビット線BLにはVSS(=0V)が供給されることになる。この時点では、メモリセルの分極は、図18(a)に示すヒステリシス曲線においてa3点である。

【0203】この後、プレート電位VPLを元の0Vに戻し、続いて、ワード線電位VWLおよびダミーワード線電位VDWLを元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、図18(a)に示すヒステリシス曲線においてメモリセルの分極はa4点に移り、メモリセルにデータ“0”が分極量として再書き込みされることになる。

【0204】(8-2) 信号電荷として“1/3”が読み出された場合は、k=0のセンスアンプ領域320においてはビット線BL0側が“1”に、k=1,2のセンスアンプ領域321、322においてはビット線BL1、BL2側が“0”となる。

【0205】この時点で、カラム選択線CSLを活性化し、データ線対(DQ0、/DQ0)、(DQ1、/DQ1)、(DQ2、/DQ2)に対応してデータ(1,0),(0,1),(0,1)を出力する。

【0206】この後、図15(a)に示すデータ変換回路によって2ビットの二値データに変換し、2組の入出力データ(I/O0、/I/O0)、(I/O1、/I/O1)として(1,0),(0,1)をチップ外部に出力する。

【0207】次に、センスアンプS/Aによる比較增幅の後、再書き込み電位選択ゲート用トランジスタTr1、Tr3、Tr6、Tr9、Tr11を選択し、再書き込み電位供給線11を通じて再書き込みのための多値電位を供給する。

【0208】この時、各センスアンプ領域32kにおける対応するビット線対(BL0、/BL0)、(BL1、/BL1)、(BL2、/BL2)は対応して(1,0),(0,1),(0,1)になっているので、再書き込み電位選択ゲート用トランジスタTr2、Tr7、Tr10がオフし、Tr4、Tr5がオンするので、トランジスタTr1、Tr4、Tr5、Tr6を通じてメモリセル領域30のビット線BLにはVCC/3が供給されることになる。

【0209】この時点では、メモリセルの分極は、図18(b)に示すヒステリシス曲線においてc3点である。

50 この後、プレート電位VPLを元の0Vに戻し、続いて、

ワード線電位 $V_{WL}$ およびダミーワード線電位 $V_{DWL}$ を元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、図18(b)に示すヒステリシス曲線においてメモリセルの分極はc4点に移り、メモリセルに多値データ(c点)が分極量として再書き込みされたことになる。

【0210】(8-3) 信号電荷として"2/3"が読み出された場合は、 $k=0,1$ のセンスアンプ領域320、321においてはビット線B L0、B L1側が"1"に、 $k=2$ のセンスアンプ領域322においてはビット線B L2側が"0"となる。

【0211】この時点では、カラム選択線C S Lを活性化し、データ線対(DQ0、/ $DQ0$ )、(DQ1、/ $DQ1$ )、(DQ2、/ $DQ2$ )に対応してデータ(1,0),(1,0),(0,1)を出力する。

【0212】この後、図15に示すデータ変換回路によって2ビットの二値データに変換し、2組の入出力データ(I/O0、/ $I/O0$ )、(I/O1、/ $I/O1$ )として(0,1),(1,0)をチップ外部に出力する。

【0213】次に、センスアンプS/Aによる比較増幅の後、再書き込み電位選択ゲート用トランジスタTr1、Tr3、Tr6、Tr9、Tr11を選択し、再書き込み電位供給線11を通じて再書き込みのための多値電位を供給する。

【0214】この時、各センスアンプ領域32kにおける対応するビット線対(B L0、/ $B L0$ )、(B L1、/ $B L1$ )、(B L2、/ $B L2$ )は対応して(1,0),(1,0),(0,1)になっているので、再書き込み電位選択ゲート用トランジスタTr2、Tr5、Tr10がオフし、Tr7、Tr8がオンするので、トランジスタTr7、Tr8、Tr9を通じてメモリセル領域30のビット線B Lには2VC/3が供給されることになる。この時点では、メモリセルの分極は、図18(c)に示すヒステリシス曲線においてd3点である。

【0215】この後、プレート電位 $V_{PL}$ を元の0Vに戻し、続いて、ワード線電位 $V_{WL}$ およびダミーワード線電位 $V_{DWL}$ を元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、図18(c)に示すヒステリシス曲線においてメモリセルの分極はd4点に移り、メモリセルに多値データ(d点)が分極量として再書き込みされたことになる。

【0216】(8-4) 信号電荷として"1"が読み出された場合は、各センスアンプ領域32kにおいて、センスアンプS/Aによる比較増幅の後にビット線B L0、B L1、B L2側が"1"となる。この時点では、カラム選択線C S Lを活性化し、データ線対(DQ0、/ $DQ0$ )、(DQ1、/ $DQ1$ )、(DQ2、/ $DQ2$ )に対応してデータ(1,0),(1,0),(1,0)を出力する。

【0217】この後、図15(a)に示すデータ変換回路によって2ビットの二値データに変換し、2組の入出力データ(I/O0、/ $I/O0$ )、(I/O1、/ $I/O1$ )として(1,0),(1,0)をチップ外部に出力する。

【0218】次に、センスアンプS/Aによる比較増幅の後、再書き込み電位選択ゲート用トランジスタTr1、Tr3、Tr6、Tr9、Tr11を選択し、再書き込み電位供給線11を通じて再書き込みのための多値電位を供給する。

【0219】この時、各センスアンプ領域32kにおける対応するビット線対(B L0、/ $B L0$ )、(B L1、/ $B L1$ )、(B L2、/ $B L2$ )は対応して(1,0),(1,0),(1,0)になっているので、再書き込み電位選択ゲート用トランジスタTr2、Tr5、Tr8がオフし、Tr1

10 Tr0がオンするので、トランジスタTr10、Tr11を通じてメモリセル領域30のビット線B LにはVCCが供給されることになる。この時点では、メモリセルの分極は、図18(d)に示すヒステリシス曲線においてb3点である。

【0220】この後、プレート電位 $V_{PL}$ を元の0Vに戻し、続いて、ワード線電位 $V_{WL}$ およびダミーワード線電位 $V_{DWL}$ を元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、図18(d)に示すヒステリシス曲線においてメモリセルの分極はb4点に移り、メモリセルに多値データ(b点)が分極量として再書き込みされたことになる。

【0221】ここではデータの再書き込み動作を説明したが、チップ外部から入力するデータを書き込む場合は、図16(a)に示す2ビット/3ビットデータ変換回路にチップ外部から2組の入出力データ/ $O_0$ 、/ $I/O_0$ 、 $I/O_1$ 、/ $I/O_1$ として入力される2ビットの二値データを、図16(b)に示す真理値表のように、3組の2値データに変換して3組のデータ線対DQ k、/ $DQ k$ に出力する。そして、セルデータを読み出した30時のセンスアンプによる比較増幅時に、分割された状態の各センスアンプ領域32kにおいてカラム選択線C S Lを活性化することによってカラム選択ゲートCGをオン状態にし、データ線対DQ k、/ $DQ k$ から各センスアンプ領域32kにおける対応するビット線対(B L0、/ $B L0$ )、(B L1、/ $B L1$ )、(B L2、/ $B L2$ )に所望のデータを書き込み、後は前記再書き込み動作と同じ要領でメモリセル領域のビット線に多値電位を供給すれば良い。

【0222】上記第4実施例のF R A Mにおいては、四40値データの読み出し/書き込みが可能になる。そして、読み出しに際してプレート電圧を0Vに保持するので、再書き込みあるいは書き込みに際してF R A Mの強誘電体キャパシタの両端間に加わる電圧( $V_{PL}-V_{SN}$ )の絶対値は四値データに応じた電位(最大でVCC)になる。

【0223】従ってキャパシタに蓄積される電荷量が十分に得られることになり、メモリセルデータの読み出し感度が良好になり、キャパシタに蓄積される電荷量がリラクゼーションや分極疲労により減少した場合でもメモリセルデータの読み出しを正確に行うことが可能になり、読み出し/書き込み特性に優れたF R A Mを実現す50

ることが可能になる。

【0224】また、第4実施例のFRAMにおいては、“1/3”、“2/3”、“1”データが記憶されている場合に、キャパシタCとスイッチ用トランジスタQとの接続ノードの電圧V<sub>SN</sub>が電流リークにより記憶データに応じた電位に遷移したとしても、スイッチ用トランジスタQをオフ状態にしたときのプレート電位V<sub>PL</sub>がVCC/2ではなく0Vにされているため、キャパシタの分極が反転することはない。従って、DRAMセルのようなあるサイクルでのリフレッシュ動作は不要であり、使い勝手が悪くならないことはない。

【0225】<第5実施例>（図19、図20）

第5実施例は、前記第4実施例と同じ構成であるが、メモリセルからビット線に信号電荷を読み出す際に、プレート電位V<sub>PL</sub>を0Vより低い値まで下降させるようにクロッキングさせる点が異なり、その他は同じである。

【0226】図19は、第5実施例に係る図13の多値FRAMにおける四値データの読み出し／書き込み動作の電圧波形を示すタイミングチャートである。ここで、選択プレート線の電圧V<sub>PL</sub>は、0Vと-VCCと0Vと+VCCと0Vの間を変化することに注意すべきである。

【0227】図20（a）乃至（d）は、第5実施例に係る四値データの読み出し／書き込み動作に伴うビット線電位とFRAMセルの強誘電体キャパシタのヒステリシス曲線の関係を説明するために示す図である。

【0228】次に、第5実施例におけるメモリセルからの四値データの読み出し／書き込み動作について、図19のタイミングチャート、図20（a）乃至（d）のヒステリシス曲線を参照しながら説明する。

【0229】(1) 待機状態では、信号EQ<sub>L</sub>が活性状態（本例では論理レベル“1”、VCC）であり、プリチャージ・イコライズ回路部EQ<sub>A</sub>がオン状態であり、メモリセル領域30のビット線対BL<sub>1</sub>、／BL<sub>1</sub>の電位がVSSに設定されている。

【0230】また、ビット線プリチャージ信号V<sub>PR</sub>が非活性状態（本例では論理レベル“1”、VCC）であり、プリチャージ用トランジスタQPはオフ状態である。

【0231】読み出し／書き込み動作の開始に際して、まず、信号EQ<sub>L</sub>を非活性状態（0V）にしてプリチャージ・イコライズ回路部EQ<sub>A</sub>をオフにし、メモリセル領域30のビット線対BL<sub>1</sub>、／BL<sub>1</sub>のイコライズを解除する。

【0232】(2) 次に、信号V<sub>PR</sub>を活性状態（0V）にしてプリチャージ用トランジスタQPをオンにし、各センスアンプ領域32kのビット線対BL<sub>k</sub>、／BL<sub>k</sub>の電位をVCCにプリチャージし、メモリセル領域のビット線対BL<sub>1</sub>、／BL<sub>1</sub>をVCC-V<sub>th</sub>にプリチャージする。ここで、-V<sub>th</sub>は電荷転送素子QTのゲートに印加されている制御クロック信号φ<sub>1</sub>がVCCの時の電荷転送素子QTによる閾値落ちである。

【0233】なお、この時、前記3対のセンスアンプ領域分割用トランジスタQSはそれぞれオン状態に制御されている。

【0234】(3) 次に、プリチャージ用トランジスタQPをオフに戻した後、選択ワード線（例えばWL0）の電位V<sub>WL</sub>をV<sub>pp</sub>に立ち上げ、引き続いて、選択プレート線（本例ではPL0）の電位V<sub>PL</sub>を0Vから-VCCまで下降させる。

【0235】上記ワード線電位V<sub>WL</sub>の立ち上げにより、選択ワード線に接続されている選択セルのスイッチ用トランジスタQがオン状態（閾値落ちはない）になり、選択セルが接続されているメモリセル領域30のビット線BLから選択セルの強誘電体キャパシタCのストレージノードに電荷が流れ込む。

【0236】ここで、強誘電体キャパシタCから“0”、“1/3”、“2/3”、“1”的データが読み出された時のセルキャパシタCのストレージノードとメモリセル領域30のビット線BLの電位V<sub>0</sub>、V<sub>1/3</sub>、V<sub>2/3</sub>、V<sub>1</sub>は、

20  $V_0 < V_{1/3} < V_{2/3} < V_1 < VCC - V_{th}$   
である。また、前記したようにメモリセル領域30のビット線BLの電位がVCC-V<sub>th</sub>から下降すると、電荷転送素子QTがオンし、センスアンプ領域332～320のビット線BL<sub>2</sub>、BL<sub>1</sub>、BL<sub>0</sub>からメモリセル領域30のビット線BLに向かって電荷が流出し、“0”、“1/3”、“2/3”、“1”的データが読み出された時のセンスアンプ領域320～322のビット線BL<sub>0</sub>、BL<sub>1</sub>、BL<sub>2</sub>側の電位はV<sub>S0</sub>、V<sub>S1/3</sub>、V<sub>S2/3</sub>、V<sub>S1</sub>になる。

30 【0237】この時点では、“0”読み、“1/3”読み、“2/3”読み、“1”読み分極は、それぞれ対応して図20（a）乃至（d）に示すヒステリシス曲線においてe点である。

【0238】(4) 前記したようなセンスアンプ領域332～320からメモリセル領域30への電荷の流出の過程が終了した後、前記電荷転送素子QTをオフにしてメモリセル領域30からセンスアンプ領域320～322を切り離し、また、前記3対のセンスアンプ領域分割用トランジスタQSをオフにして3個のセンスアンプ領域32kの各ビット線対(BL<sub>0</sub>、／BL<sub>0</sub>)、(BL<sub>1</sub>、／BL<sub>1</sub>)、(BL<sub>2</sub>、／BL<sub>2</sub>)を切り離す。

40 【0239】(5) 次に、プレート線電位V<sub>PL</sub>を0Vに戻すとともに、各センスアンプ領域32kのビット線／BL<sub>0</sub>、／BL<sub>1</sub>、／BL<sub>2</sub>側に接続されているダミーセルに対応するダミーワード線（本例では／DWL）の電位V<sub>DWL</sub>を立ち上げ、選択ダミーセルから参照電荷を読み出す。

【0240】ここで、各センスアンプ領域32kにおいてビット線／BL<sub>0</sub>、／BL<sub>1</sub>、／BL<sub>2</sub>に読み出す参考電位V<sub>refk</sub>は全て異なっている。

【0241】即ち、各センスアンプ領域32kにおける参照電位refkは、

$$k=0 : (V_{s0} + V_{s1/3}) / 2$$

$$k=1 : (V_{s1/3} + V_{s2/3}) / 2$$

$$k=2 : (V_{s2/3} + V_{s1}) / 2$$

となるように設定されている。

【0242】(6) 次に、前記3対のセンスアンプ領域分割用トランジスタQSにより分割されている各センスアンプ領域32kのセンスアンプS/Aを起動して比較増幅を行う。この結果、3組のセンスアンプS/Aは、選択セルから読み出されていた1組の四値のデータを3組の二値データに変換したことになる。

【0243】次に、上記分割された状態の各センスアンプ領域32kにおいて、カラム選択線CSLを活性化(VCC)することによってカラム選択ゲートCGをオン状態にして対応するデータ線対DQk、/DQkにビット線対(BL0、/BL0)、(BL1、/BL1)、(BL2、/BL2)のデータを転送する。

【0244】この3対のデータ線対DQk、/DQkのデータは、図15(a)に示す3ビット/2ビットデータ変換回路によって、図15(b)に示すように2ビットの二値データに変換され、2組の入出力データI/O0、/I/O0、I/O1、/I/O1として出力される。

【0245】(7) 次に、再書き込み電位供給回路により、再書き込み供給電位線11を通じてメモリセル領域30のビット線対BLに再書き込み電位を与える。この後、プレート電位VPLを+VCCに昇圧した後に元の0Vに戻し、続いて、ワード線電位VWLおよびダミーワード線電位VDWLを元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、メモリセルに再書き込みを行ったことになる。この後、電荷転送素子QTをオンにするとともにメモリセル分割用トランジスタQSをオンにし、プリチャージ・イコライズ回路部EQAをオンにして待機状態に設定する。

【0246】以下、読み出されたデータが"0"、"1/3"、"2/3"、"1"の場合について具体的な手順を述べていく。

【0247】(8-1) 信号電荷として"0"が読み出された場合は、各センスアンプ領域32kにおいて、センスアンプS/Aによる比較増幅の後にビット線BL0、BL1、BL2側が"0"となる。この時点で、カラム選択線CSLを活性化し、データ線対(DQ0、/DQ0)、(DQ1、/DQ1)、(DQ2、/DQ2)に対応してデータ(0,1), (0,1), (0,1)を出力する。

【0248】この後、図15(a)に示すデータ変換回路によって2ビットの二値データに変換し、2組の入出力データ(I/O0、/I/O0)、(I/O1、/I/O1)として(0,1), (0,1)をチップ外部に出力する。

【0249】次に、センスアンプS/Aによる比較増幅の後、再書き込み電位選択ゲート用トランジスタTr1、Tr3、Tr6、Tr9、Tr11を選択し、再書き込み電位供給線11を通じて再書き込みのための多値電位を供給する。

r3、Tr6、Tr9、Tr11を選択し、再書き込み電位供給線11を通じて再書き込みのための多値電位を供給する。

【0250】この時、各センスアンプ領域32kにおける対応するビット線対(BL0、/BL0)、(BL1、/BL1)、(BL2、/BL2)は対応して(0,1),(0,1),(0,1)になっているので、再書き込み電位選択ゲート用トランジスタTr4、Tr7、Tr10がオフし、Tr2がオンするので、トランジスタTr1、Tr2、Tr3を通じてメモリセル領域30のビット線BLにはVSS(=0V)が供給されることになる。この時点では、メモリセルM/Cの分極は、図20(a)に示すヒステリシス曲線においてd点である。

【0251】この後、プレート電位VPLをVCCにすることにより、メモリセルの分極は、図20(a)に示すヒステリシス曲線においてf点に移る。この後、プレート電位VPLを元の0Vに戻すことにより、メモリセルの分極は、図20(a)に示すヒステリシス曲線においてa点に移る。

【0252】続いて、ワード線電位VWLおよびダミーワード線電位VDWLを元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、メモリセルにデータ"0"が分極量として再書き込みされたことになる。

【0253】(8-2) 信号電荷として"1/3"が読み出された場合は、k=0のセンスアンプ領域320においてはビット線BL0側が"1"に、k=1,2のセンスアンプ領域321、322においてはビット線BL1、BL2側が"0"となる。

【0254】この時点で、カラム選択線CSLを活性化し、データ線対(DQ0、/DQ0)、(DQ1、/DQ1)、(DQ2、/DQ2)に対応してデータ(1,0), (0,1), (0,1)を出力する。

【0255】この後、図15(a)に示すデータ変換回路によって2ビットの二値データに変換し、2組の入出力データ(I/O0、/I/O0)、(I/O1、/I/O1)として(1,0), (0,1)をチップ外部に出力する。

【0256】次に、センスアンプS/Aによる比較増幅の後、再書き込み電位選択ゲート用トランジスタTr1、Tr3、Tr6、Tr9、Tr11を選択し、再書き込み電位供給線11を通じて再書き込みのための多値電位を供給する。

【0257】この時、各センスアンプ領域32kにおける対応するビット線対(BL0、/BL0)、(BL1、/BL1)、(BL2、/BL2)は対応して(1,0),(0,1),(0,1)になっているので、再書き込み電位選択ゲート用トランジスタTr2、Tr7、Tr10がオフし、Tr4、Tr5がオンするので、トランジスタTr4、Tr5、Tr6を通じてメモリセル領域30のビット線BLにはVCC/3が供給されることになる。この時点では、メモリセルの分極は、図20(b)に示すヒステリシス曲線においてh点である。

【0258】この後、プレート電位VPLをVCCにすること

とにより、メモリセルの分極は、図20 (b) に示すヒステリシス曲線において i点に移る。この後、プレート電位  $V_{PL}$  を元の 0V に戻すことにより、メモリセルの分極は、図20 (b) に示すヒステリシス曲線において k 点に移る。

【0259】続いて、ワード線電位  $V_{WL}$  およびダミーワード線電位  $V_{DWL}$  を元の 0V に戻し、センスアンプ S/A を非活性状態にすれば、メモリセルに多値データ (b 点) が分極量として再書き込みされることになる。

【0260】(8-3) 信号電荷として "2/3" が読み出された場合は、 $k=0,1$  のセンスアンプ領域 320, 321においてはビット線 BL0, BL1 側が "1" に、 $k=2$  のセンスアンプ領域 322 においてはビット線 BL2 側が "0" となる。

【0261】この時点では、カラム選択線 CSL を活性化し、データ線対 (DQ0, /DQ0), (DQ1, /DQ1), (DQ2, /DQ2) に対応してデータ (1,0), (1,0), (0,1) を出力する。

【0262】この後、図15 (a) に示すデータ変換回路によって 2 ビットの二値データに変換し、2組の入出力データ ( $I/O_0, /I/O_0$ ), ( $I/O_1, /I/O_1$ ) として (0,1), (1,0) をチップ外部に出力する。

【0263】次に、センスアンプ S/A による比較增幅の後、再書き込み電位選択ゲート用トランジスタ Tr1, Tr3, Tr6, Tr9, Tr11 を選択し、再書き込み電位供給線 11 を通じて再書き込みのための多値電位を供給する。

【0264】この時、各センスアンプ領域 32k における対応するビット線対 (BL0, /BL0), (BL1, /BL1), (BL2, /BL2) は対応して (1, 0), (1, 0), (0, 1) になっているので、再書き込み電位選択ゲート用トランジスタ Tr2, Tr5, Tr10 がオフし、Tr7, Tr8 がオンするので、トランジスタ Tr7, Tr8, Tr9 を通じてメモリセル領域 30 のビット線 BL には 2VCC/3 が供給されることになる。この時点では、メモリセルの分極は、図20 (c) に示すヒステリシス曲線において g 点である。

【0265】この後、プレート電位  $V_{PL}$  を VCC にすることにより、メモリセルの分極は、図20 (c) に示すヒステリシス曲線において j 点に移る。この後、プレート電位  $V_{PL}$  を元の 0V に戻すことにより、メモリセルの分極は、図20 (c) に示すヒステリシス曲線において l 点に移る。

【0266】続いて、ワード線電位  $V_{WL}$  およびダミーワード線電位  $V_{DWL}$  を元の 0V に戻し、センスアンプ S/A を非活性状態にすれば、メモリセルに多値データ (c 点) が分極量として再書き込みされることになる。

【0267】(8-4) 信号電荷として "1" が読み出された場合は、各センスアンプ領域 32k において、センスアンプ S/A による比較增幅の後にビット線 BL0, BL1, BL2 側が "1" となる。この時点で、カラム選択

線 CSL を活性化し、データ線対 (DQ0, /DQ0), (DQ1, /DQ1), (DQ2, /DQ2) に対応してデータ (1,0), (1,0), (1,0) を出力する。

【0268】この後、図15 (a) に示すデータ変換回路によって 2 ビットの二値データに変換し、2組の入出力データ ( $I/O_0, /I/O_0$ ), ( $I/O_1, /I/O_1$ ) として (1,0), (1,0) をチップ外部に出力する。

【0269】次に、センスアンプ S/A による比較增幅の後、再書き込み電位選択ゲート用トランジスタ Tr1, T

10 r3, Tr6, Tr9, Tr11 を選択し、再書き込み電位供給線 11 を通じて再書き込みのための多値電位を供給する。

【0270】この時、各センスアンプ領域 32k における対応するビット線対 (BL0, /BL0), (BL1, /BL1), (BL2, /BL2) は対応して (1, 0), (1, 0), (1, 0) になっているので、再書き込み電位選択ゲート用トランジスタ Tr2, Tr5, Tr8 がオフし、Tr10 がオンするので、トランジスタ Tr10, Tr11 を通じてメモリセル領域 30 のビット線 BL には VCC が供給されることになる。この時点では、メモリセルの分極は、図20 (d) に示すヒステリシス曲線において e 点である。

【0271】この後、プレート電位  $V_{PL}$  を VCC にすることにより、メモリセルの分極は、図20 (d) に示すヒステリシス曲線において d 点に移る。この後、プレート電位  $V_{PL}$  を元の 0V に戻すことにより、メモリセルの分極は、図20 (d) に示すヒステリシス曲線において e 点に移る。

【0272】続いて、ワード線電位  $V_{WL}$  およびダミーワード線電位  $V_{DWL}$  を元の 0V に戻し、センスアンプ S/A を非活性状態にすれば、メモリセルに多値データ (d 点) が分極量として再書き込みされることになる。

【0273】ここではデータの再書き込み動作を説明したが、チップ外部から入力するデータを書き込む場合は、図16 (a) に示す 2 ビット / 3 ビットデータ変換回路にチップ外部から 2 組の入出力データ  $/O_0, I/O_0, I/O_1, /I/O_1$  として入力される 2 ビットの二値データを 3 組の 2 値データに変換して 3 組のデータ線対 DQk, /DQk に output する。そして、セルデータを読み出した時のセンスアンプによる比較增幅時に、分割された状態の各センスアンプ領域 32k においてカラム選択線 CSL を活性化することによってカラム選択ゲート CG をオン状態にし、データ線対 DQk, /DQk から各センスアンプ領域 32k における対応するビット線対 (BL0, /BL0), (BL1, /BL1), (BL2, /BL2) に所望のデータを書き込み、後は前記再書き込み動作と同じ要領でメモリセル領域のビット線対 BL, /BL に多値電位を供給すれば良い。

【0274】上記第 5 実施例では、読み出し時にプレート電圧  $V_{PL}$  を 0V から -VCC まで下げるよう変化させることによって、前記第 4 実施例と比較してビット線 B

50

しに一層多くの電荷を読み出すことができる。

【0275】<第6実施例>（図21、図22）

第6実施例は、前記第4実施例と同じ構成であるが、メモリセルからビット線に信号電荷を読み出し、電荷転送素子QTをオフにしてセンスアンプS/Aによる比較増幅を行った後に、オフ状態にしていた電荷転送素子QTおよびセンスアンプ領域分割用トランジスタQSをオンにして、各センスアンプ領域32kの活性化していたセンスアンプをメモリセル領域30のビット線対BL、/BLと接続する間に、プレート線電圧VPLを0Vに戻さずに-VCCのままにしておく点が異なり、その他は同じである。

【0276】図21は、第6実施例に係る図13の多値FRAMにおける四値データの読み出し／書き込み動作の電圧波形を示すタイミングチャートである。ここで、選択プレート線の電圧VPLは、0Vと-VCCと+VCCと0Vの間を変化することに注意すべきである。

【0277】図22(a)乃至(d)は、第6実施例に係る四値データの読み出し／書き込み動作に伴うビット線電位とFRAMセルの強誘電体キャパシタのヒステリシス曲線を説明するために示す図である。

【0278】次に、第6実施例におけるメモリセルからの四値データの読み出し／書き込み動作について、図21のタイミングチャート、図22(a)乃至(d)のヒステリシス曲線を参照しながら説明する。

【0279】待機状態から読み出し／書き込み動作を開始し、前記したようなセンスアンプ領域322～320からメモリセル領域30への電荷の流出の過程が終了するまでのプロセスは、前記第5実施例における(1)乃至(3)のプロセスと同じである。

【0280】この時、強誘電体キャパシタCから"0"、"1/3"、"2/3"、"1"のデータが読み出された時のセルキャパシタCのストレージノードとメモリセル領域30のビット線BLの電位V<sub>0</sub>、V<sub>1/3</sub>、V<sub>2/3</sub>、V<sub>1</sub>は、

$$V_0 < V_{1/3} < V_{2/3} < V_1 < VCC - V_{th}$$

である。また、前記したようにメモリセル領域30のビット線BLの電位がVCC-V<sub>th</sub>から下降すると、電荷転送素子QTがオンし、センスアンプ領域322、321、320のビット線BL2、BL1、BL0からメモリセル領域30のビット線BLに向かって電荷が流出し、"0"、"1/3"、"2/3"、"1"のデータが読み出された時の各センスアンプ領域のビット線BL0、BL1、BL2側の電位はV<sub>s0</sub>、V<sub>s1/3</sub>、V<sub>s2/3</sub>、V<sub>s1</sub>になる。

【0281】この時点では、"0"読み、"1/3"読み、"2/3"読み、"1"読み分極は、それぞれ対応して図22(a)乃至(d)に示すヒステリシス曲線においてe点である。

【0282】(4) 前記したようなセンスアンプ領域32

2～320からメモリセル領域30への電荷の流出の過程が終了した後、前記電荷転送素子QTをオフにしてメモリセル領域30とセンスアンプ領域32kとを切り離し、また、前記3対のセンスアンプ領域分割用トランジスタQSをオフにして3個のセンスアンプ領域32kの各ビット線対(BL0、/BL0)、(BL1、/BL1)、(BL2、/BL2)を切り離す。

【0283】(5) 次に、プレート電極を0Vに戻さずに-VCCのままで、各センスアンプ領域32kのビット線/BL0、/BL1、/BL2側に接続されているダミーセルに対応するダミーワード線（本例では/DWL）の電位V<sub>DWL</sub>を立ち上げ、選択ダミーセルから参照電荷を読み出す。

【0284】ここで、各センスアンプ領域32kにおいてビット線/BL0、/BL1、/BL2に読み出す参照電位V<sub>refk</sub>は全て異なっている。

【0285】即ち、各センスアンプ領域32kにおける参照電位V<sub>refk</sub>は、

$$k=0 : (V_{s0} + V_{s1/3}) / 2$$

$$k=1 : (V_{s1/3} + V_{s2/3}) / 2$$

$$k=2 : (V_{s2/3} + V_{s1}) / 2$$

となるように設定されている。

【0286】この時点では、"0"読み、"1/3"読み、"2/3"読み、"1"読み分極は、全てe点である。

【0287】(6) 次に、前記3対のセンスアンプ領域分割用トランジスタQSにより分割されている各センスアンプ領域32kのセンスアンプS/Aを起動して比較増幅を行う。この結果、3組のセンスアンプS/Aは、選択セルから読み出されていた1組の四値のデータを3組の二値データに変換したことになる。

【0288】次に、上記分割された状態の各センスアンプ領域32kにおいて、カラム選択線CSLを活性化(VCC)することによってカラム選択ゲートCGをオン状態にして対応するデータ線対DQk、/DQkにビット線対(BL0、/BL0)、(BL1、/BL1)、(BL2、/BL2)のデータを転送する。

【0289】この3対のデータ線対DQk、/DQkのデータは、図15(a)に示す3ビット/2ビットデータ変換回路によって、図15(b)に示すように、2ビットの二値データに変換され、2組の入出力データI/O<sub>0</sub>、I/O<sub>1</sub>として出力される。

【0290】(7) 次に、再書き込み電位供給回路により、再書き込み供給電位線11を通じてメモリセル領域30のビット線対BLに再書き込み電位を与える。この後、プレート電位V<sub>PL</sub>を+VCCに昇圧した後に0Vに戻し、続いて、ワード線電位V<sub>WL</sub>およびダミーワード線電位V<sub>DWL</sub>を元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、メモリセルに再書き込みを行ったことになる。この後、電荷転送素子QTをオンにするとともにメモリセ

ル分割用トランジスタをオンにし、プリチャージ・イコライズ回路部EQAをオンにして待機状態に設定する。

【0291】以下、読み出されたデータが“0”, “1/3”, “2/3”, “1”の場合について具体的な手順を述べていく。

【0292】(8-1) 信号電荷として“0”が読み出された場合は、各センスアンプ領域32kにおいて、センスアンプS/Aによる比較增幅の後にビット線B L0、B L1、B L2側が“0”となる。この時点で、カラム選択線CSLを活性化し、データ線対(DQ0、/DQ0)、(DQ1、/DQ1)、(DQ2、/DQ2)に対応してデータ(0,1), (0,1), (0,1)を出力する。

【0293】この後、図15(a)に示すデータ変換回路によって2ビットの二値データに変換し、2組の入出力データ(I/O0、/I/O0)、(I/O1、/I/O1)として(0,1), (0,1)をチップ外部に出力する。

【0294】次に、センスアンプS/Aによる比較增幅の後、再書き込み電位選択ゲート用トランジスタTr1、Tr3、Tr6、Tr9、Tr11を選択し、再書き込み電位供給線11を通じて再書き込みのための多値電位を供給する。

【0295】この時、各センスアンプ領域32kにおける対応するビット線対(B L0、/B L0)、(B L1、/B L1)、(B L2、/B L2)は対応して(0,1), (0,1), (0,1)になっているので、再書き込み電位選択ゲート用トランジスタTr4、Tr7、Tr10がオフし、Tr2がオンするので、トランジスタTr1、Tr2、Tr3を通じてメモリセル領域30のビット線BLにはVSS(=0V)が供給されることになる。この時点では、メモリセルの分極は、図22(a)に示すヒステリシス曲線においてe点である。

【0296】この後、プレート電位VPLをVCCにすることにより、メモリセルの分極は、図22(a)に示すヒステリシス曲線においてf点に移る。この後、プレート電位VPLを元の0Vに戻すことにより、メモリセルの分極は、図22(a)に示すヒステリシス曲線においてa点に移る。

【0297】続いて、ワード線電位VWLおよびダミーワード線電位VDWLを元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、メモリセルにデータ“0”が分極量として再書き込みされることになる。

【0298】(8-2) 信号電荷として“1/3”が読み出された場合は、k=0のセンスアンプ領域320においてはビット線B L0側が“1”に、k=1,2のセンスアンプ領域321、322においてはビット線B L1、B L2側が“0”となる。

【0299】この時点で、カラム選択線CSLを活性化し、データ線対(DQ0、/DQ0)、(DQ1、/DQ1)、(DQ2、/DQ2)に対応してデータ(1,0), (0,1), (0,1)を出力する。

【0300】この後、図15(a)に示すデータ変換回路によって2ビットの二値データに変換し、2組の入出

力データ(I/O0、/I/O0)、(I/O1、/I/O1)として(1,0), (0,1)をチップ外部に出力する。

【0301】次に、センスアンプS/Aによる比較增幅の後、再書き込み電位選択ゲート用トランジスタTr1、Tr3、Tr6、Tr9、Tr11を選択し、再書き込み電位供給線11を通じて再書き込みのための多値電位を供給する。

【0302】この時、各センスアンプ領域32kにおける対応するビット線対(B L0、/B L0)、(B L1、/B L1)、(B L2、/B L2)は対応して(1,0), (0,1), (0,1)になっているので、再書き込み電位選択ゲート用トランジスタTr2、Tr7、Tr10がオフし、Tr4、Tr5がオンするので、トランジスタTr4、Tr5、Tr6を通じてメモリセル領域30のビット線BLにはVCC/3が供給されることになる。この時点では、メモリセルの分極は、図22(b)に示すヒステリシス曲線においてm点である。

【0303】この後、プレート電位VPLをVCCにすることにより、メモリセルの分極は、図22(b)に示すヒステリシス曲線においてi点に移る。この後、プレート電位VPLを元の0Vに戻すことにより、メモリセルの分極は、図22(b)に示すヒステリシス曲線においてk点に移る。

【0304】続いて、ワード線電位VWLおよびダミーワード線電位VDWLを元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、メモリセルに多値データ(b点)が分極量として再書き込みされることになる。

【0305】(8-3) 信号電荷として“2/3”が読み出された場合は、k=0,1のセンスアンプ領域320、321においてはビット線B L0、B L1側が“1”に、k=2のセンスアンプ領域322においてはビット線B L2側が“0”となる。

【0306】この時点で、カラム選択線CSLを活性化し、データ線対(DQ0、/DQ0)、(DQ1、/DQ1)、(DQ2、/DQ2)に対応してデータ(1,0), (1,0), (0,1)を出力する。

【0307】この後、図15(a)に示すデータ変換回路によって2ビットの二値データに変換し、2組の入出力データ(I/O0、/I/O0)、(I/O1、/I/O1)として(0,1), (1,0)をチップ外部に出力する。

【0308】次に、センスアンプS/Aによる比較增幅の後、再書き込み電位選択ゲート用トランジスタTr1、Tr3、Tr6、Tr9、Tr11を選択し、再書き込み電位供給線11を通じて再書き込みのための多値電位を供給する。

【0309】この時、各センスアンプ領域32kにおける対応するビット線対(B L0、/B L0)、(B L1、/B L1)、(B L2、/B L2)は対応して(1,0), (1,0), (0,1)になっているので、再書き込み電位選択ゲート用トランジスタTr2、Tr5、Tr10がオフし、Tr7、Tr8がオンするので、トランジスタTr7、Tr8、Tr9を通じてメモリセル領域30のビット線BLには2VCC

／3が供給されることになる。この時点では、メモリセルの分極は、図22(c)に示すヒステリシス曲線においてn点である。

【0310】この後、プレート電位V<sub>PL</sub>をVCCにすることにより、メモリセルの分極は、図22(c)に示すヒステリシス曲線においてj点に移る。この後、プレート電位V<sub>PL</sub>を元の0Vに戻すことにより、メモリセルの分極は、図22(c)に示すヒステリシス曲線において1点に移る。

【0311】続いて、ワード線電位V<sub>WL</sub>およびダミーワード線電位V<sub>DWL</sub>を元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、メモリセルに多値データ(c点)が分極量として再書き込みされることになる。

【0312】(8-4) 信号電荷として"1"が読み出された場合は、各センスアンプ領域32kにおいて、センスアンプS/Aによる比較增幅の後にビット線B L0、B L1、B L2側が"1"となる。この時点で、カラム選択線C S Lを活性化し、データ線対(DQ0、／DQ0)、(DQ1、／DQ1)、(DQ2、／DQ2)に対応してデータ(1,0),(1,0),(1,0)を出力する。

【0313】この後、図15(a)に示すデータ変換回路によって2ビットの二値データに変換し、2組の入出力データ(I/O<sub>0</sub>、／I/O<sub>0</sub>)、(I/O<sub>1</sub>、／I/O<sub>1</sub>)として(1,0),(1,0)をチップ外部に出力する。

【0314】次に、センスアンプS/Aによる比較增幅の後、再書き込み電位選択ゲート用トランジスタTr1、Tr3、Tr6、Tr9、Tr11を選択し、再書き込み電位供給線11を通じて再書き込みのための多値電位を供給する。

【0315】この時、各センスアンプ領域32kにおける対応するビット線対(B L0、／B L0)、(B L1、／B L1)、(B L2、／B L2)は対応して(1,0),(1,0),(1,0)になっているので、再書き込み電位選択ゲート用トランジスタTr2、Tr5、Tr8がオフし、Tr10がオンするので、トランジスタTr10、Tr11を通じてメモリセル領域30のビット線B LにはVCCが供給されることになる。この時点では、メモリセルの分極は、図22(d)に示すヒステリシス曲線において0点である。

【0316】この後、プレート電位V<sub>PL</sub>をVCCにすることにより、メモリセルの分極は、図22(d)に示すヒステリシス曲線においてd点に移る。この後、プレート電位V<sub>PL</sub>を元の0Vに戻すことにより、メモリセルの分極は、図22(d)に示すヒステリシス曲線においてe点に移る。

【0317】続いて、ワード線電位V<sub>WL</sub>およびダミーワード線電位V<sub>DWL</sub>を元の0Vに戻し、センスアンプS/Aを非活性状態にすれば、メモリセルに多値データ(d点)が分極量として再書き込みされることになる。

【0318】ここではデータの再書き込み動作を説明したが、チップ外部から入力するデータを書き込む場合は、

図16(a)に示す2ビット／3ビットデータ変換回路にチップ外部から2組の入出力データ／O<sub>0</sub>、／I/O<sub>0</sub>、I/O<sub>1</sub>、／I/O<sub>1</sub>として入力される2ビットの二値データを3組の2値データに変換して3組のデータ線対DQ k、／DQ kに出力する。そして、セルデータを読み出した時のセンスアンプによる比較增幅時に、分割された状態の各センスアンプ領域32kにおいてカラム選択線C S Lを活性化することによってカラム選択ゲートCGをオン状態にし、データ線対DQ k、／DQ kから各センスアンプ領域32kにおける対応するビット線対(B L0、／B L0)、(B L1、／B L1)、(B L2、／B L2)に所望のデータを書き込み、後は前記再書き込み動作と同じ要領でメモリセル領域のビット線対B L、／B Lに多値電位を供給すれば良い。

【0319】上記第6実施例では、読み出し時にプレート電圧V<sub>PL</sub>を0Vから-VCCまで下げた後に+VCCまで変化させることによって、前記第5実施例のようにプレート電圧V<sub>PL</sub>を一度0Vを経由してから+VCCに昇圧するのと比較して、高速化が可能である。

【0320】なお、本発明のF R A Mにおいては、以下に記載するような構成を採用することが可能である。

【0321】(1)、図13に示した多値F R A Mにおいて、センスアンプ領域中で、メモリセルへの再書き込みのためにそれぞれ異なるn個の電位を供給する電位発生回路の内で最低の電位を供給するノードとビット線を、ゲートが最も低い参照電位を持つセンスアンプの片側のノードに接続されたPMOSトランジスタを介して接続する。

【0322】(2)、図13に示した多値F R A Mにおいて、センスアンプ領域中で、メモリセルへの再書き込みのためにそれぞれ異なるn個の電位を供給する電位発生回路の内で最高の電位を供給するノードとビット線を、ゲートが最も高い参照電位を持つセンスアンプの片側のノードに接続されたNMOSトランジスタを介して接続する。

【0323】(3)、前記(2)の多値F R A Mにおいて、前記NMOSトランジスタとして、閾値が零付近のI型トランジスタを用いる。

【0324】(4)、図13に示した多値F R A Mにおいて、センスアンプ領域中で、メモリセルへの再書き込みのためにそれぞれ異なるn個の電位を供給する電位発生回路の内でx番目( $2 \leq x \leq n-1$ )の電位を供給するノードとビット線を、ゲートがx-1番目の参照電位を持つセンスアンプの片側のノードに接続されたNMOSトランジスタとゲートがx番目の参照電位を持つセンスアンプの片側のノードに接続されたPMOSトランジスタを介して接続する。

【0325】(5)、前記(4)の多値F R A Mにおいて、前記(n-1)個のセンスアンプにおいて、x番目の参照電位が入力されているセンスアンプ中のPMOSトランジ

ンジスタは前記x番目の再書き込み用電位発生回路とビット線を接続するPMOSトランジスタに近接し、また、このセンスアンプ中のNMOSトランジスタはx+1番目の再書き込み用電位発生回路とビット線を接続するNMOSトランジスタに隣接する。

【0326】(6)、前記(4)および(5)の多値FRAMにおいて、前記再書き込み電位発生回路とビット線とを接続するNMOSトランジスタとして、閾値が零付近のI型トランジスタを用いる。

【0327】

【発明の効果】上述したように本発明によれば、二値または多値の分極量を記憶させたメモリセルから電荷転送素子を用いて微少な電荷を読み出すことができ、ひいては強誘電体キャパシタに蓄積される電荷量がリラクゼーションや分極疲労による残留分極量の低下により減少した場合でもメモリセルデータの読み出しを正確に行うことが可能で、信頼性に優れ、かつリフレッシュ動作の必要な強誘電体メモリを実現することができる。

【図面の簡単な説明】

【図1】本発明のFRAMにおけるFRAMセルを示す等価回路図。

【図2】図1のFRAMセルにおける強誘電体キャパシタの電極間電位差と分極量の関係(ヒステリシス曲線を表す)を示す特性図。

【図3】本発明の第1の実施の形態に係る二値データ記憶型のFRAMの主要部の構成を概略的に示す回路図。

【図4】図3中のセンスアンプ領域を取り出して具体例を示す回路図。

【図5】図3の二値FRAMに係る第1実施例における読み出し／再書き込み動作の一例を示すタイミングチャート。

【図6】図5に示した"0"読み／"1"読み動作におけるビット線の電位変化と強誘電体キャパシタのヒステリシス曲線との関係を説明するために示す特性図。

【図7】図3に示した第1実施例の変形例1における読み出し／再書き込み動作の一例を示すタイミングチャート。

【図8】図3に示した第1実施例の変形例2における読み出し／再書き込み動作の一例を示すタイミングチャート。

【図9】図3の二値FRAMに係る第2実施例における読み出し／再書き込み動作の一例を示すタイミングチャート。

【図10】図9に示した"0"読み／"1"読み動作におけるビット線の電位変化と強誘電体キャパシタのヒステリシス曲線との関係を説明するために示す特性図。

【図11】図3の二値FRAMに係る第3実施例における読み出し／再書き込み動作の一例を示すタイミングチャート。

【図12】図11に示した"0"読み／"1"読み動作にお

けるビット線の電位変化と強誘電体キャパシタのヒステリシス曲線との関係を説明するために示す特性図。

【図13】本発明の第2の実施の形態に係る多値データ記憶型のFRAMの主要部の構成を概略的に示す回路図。

【図14】図13中のセンスアンプ領域のうちの1個の一部を取り出して具体例を示す回路図。

10 【図15】図13のFRAMにおいて3組のデータ線対DQk、／DQkのデータを二値2ビット形式のI/O線対データに変換するデータ変換回路の一例を示す回路図およびその動作を示す真理値表。

【図16】図13のFRAMにおいて二値2ビット形式で入力したI/O線対データを3組のデータ線対DQk、／DQkのデータに変換するデータ変換回路の一例を示す回路図およびその動作を示す真理値表。

【図17】図13の多値FRAMに係る第4実施例における読み出し／再書き込み動作の一例を示すタイミングチャート。

20 【図18】図17に示した"0"読み／"1/3"読み／"2/3"読み／"1"読み動作におけるビット線の電位変化と強誘電体キャパシタのヒステリシス曲線との関係を説明するために示す特性図。

【図19】図13の多値FRAMに係る第5実施例における読み出し／再書き込み動作の一例を示すタイミングチャート。

30 【図20】図19に示した"0"読み／"1/3"読み／"2/3"読み／"1"読み動作におけるビット線の電位変化と強誘電体キャパシタのヒステリシス曲線との関係を説明するために示す特性図。

【図21】図13の多値FRAMに係る第6実施例における読み出し／再書き込み動作の一例を示すタイミングチャート。

30 【図22】図21に示した"0"読み／"1/3"読み／"2/3"読み／"1"読み動作におけるビット線の電位変化と強誘電体キャパシタのヒステリシス曲線との関係を説明するために示す特性図。

【符号の説明】

31…メモリセル(M/C)領域、

32…センスアンプ(S/A)領域、

40 QT…電荷転送素子用のNMOSトランジスタ、

M/C…1トランジスタQ：1キャパシタC型のメモリセル、

MCA…メモリセルアレイ、

EQA…プリチャージ・イコライズ回路部、

DCA…ダミーセル部、

WL<sub>i</sub>(WL0, WL1)…ワード線、

PL<sub>i</sub>(PL0, PL1)…プレート線、

DWL、／DWL…ダミーワード線、

Qd…ダミースイッチ用のNMOSトランジスタ、

50 Qc…ダミーセル基準電位供給用のNMOSトランジ

タ、

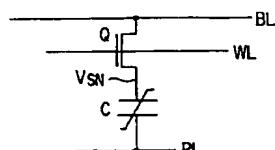
S/A…センスアンプ、

CG (QG) …カラム選択ゲート (NMOSトランジスタ)

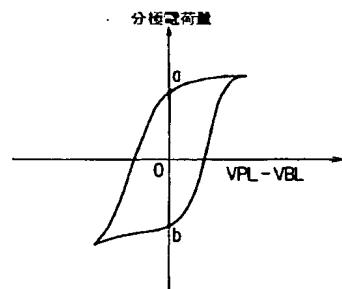
タ)、

QP…プリチャージ用のPMOSトランジスタ、  
DQ, /DQ…データ線対。

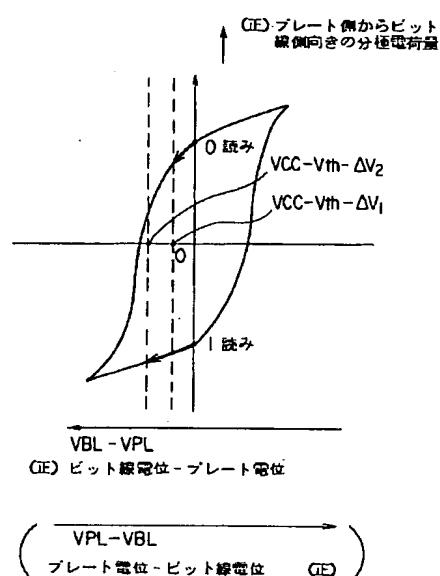
【図1】



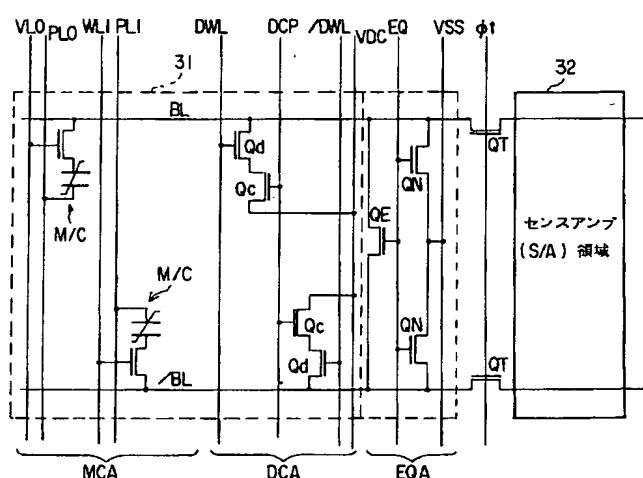
【図2】



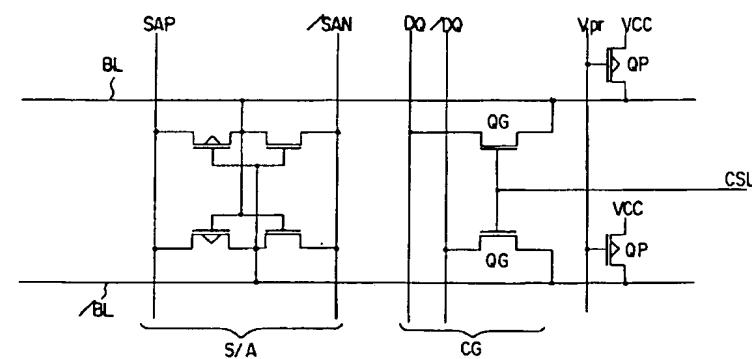
【図6】



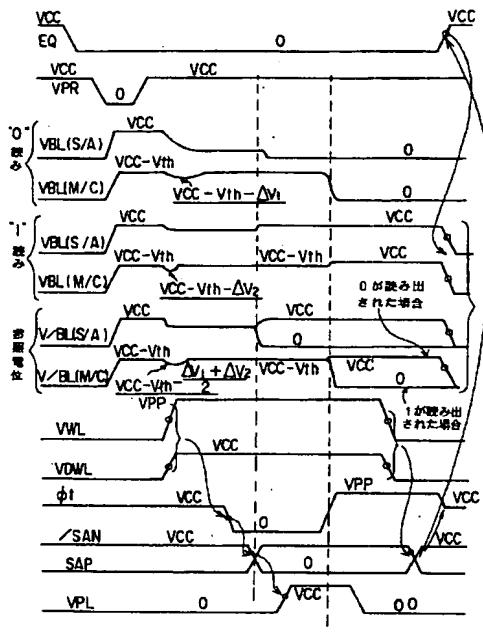
【図3】



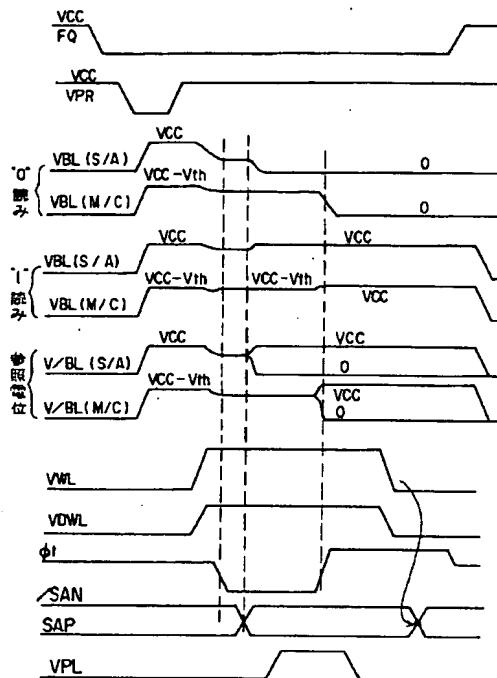
【図4】



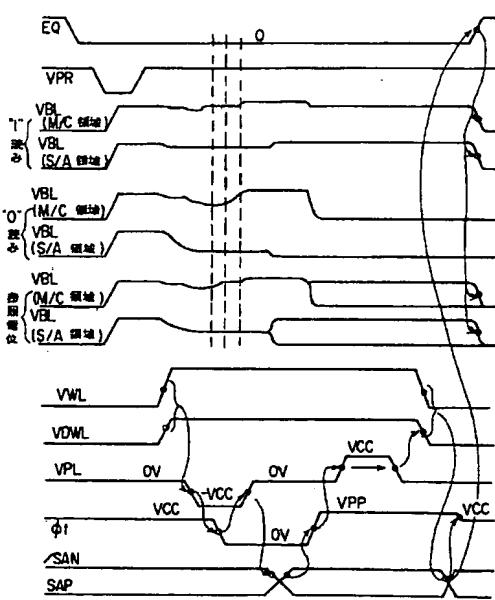
【図5】



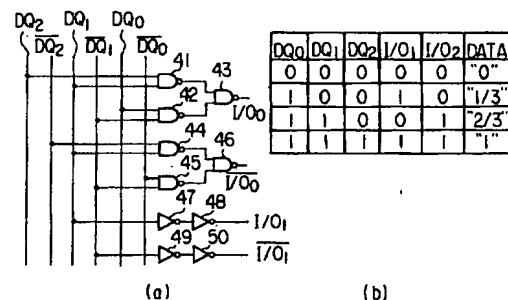
【図7】



【図9】



【図15】

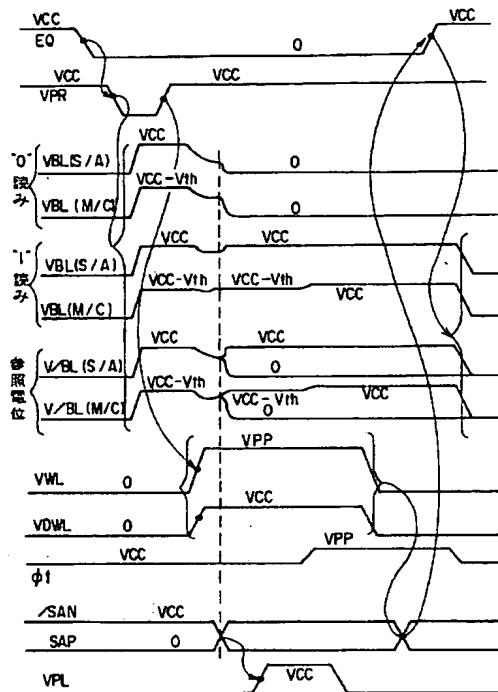


(a)

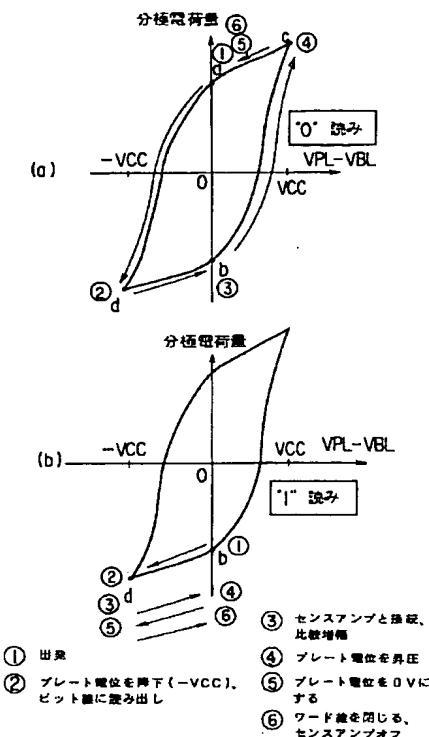
(b)

DQ2	DQ1	DQ0	I/O1	I/O2	DATA
DQ2	DQ1	DQ0	I/O1	I/O2	
0	0	0	0	0	"0"
1	0	0	1	0	"1/3"
1	1	0	0	1	"2/3"
1	1	1	1	1	"1"

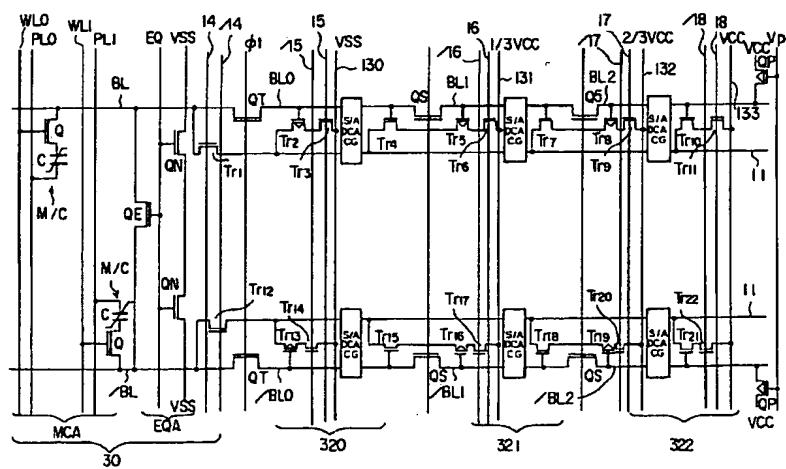
【図8】



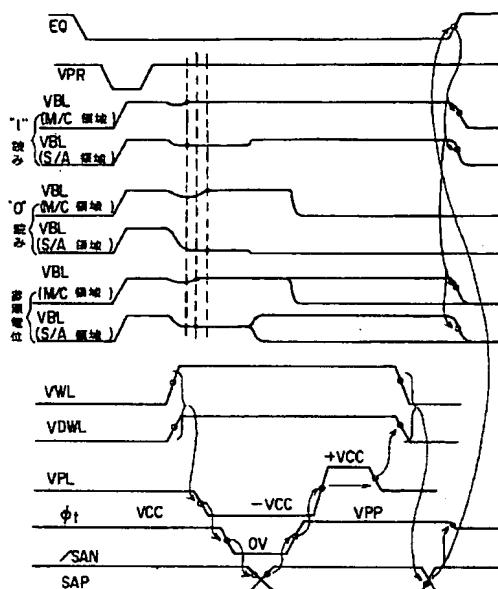
【図10】



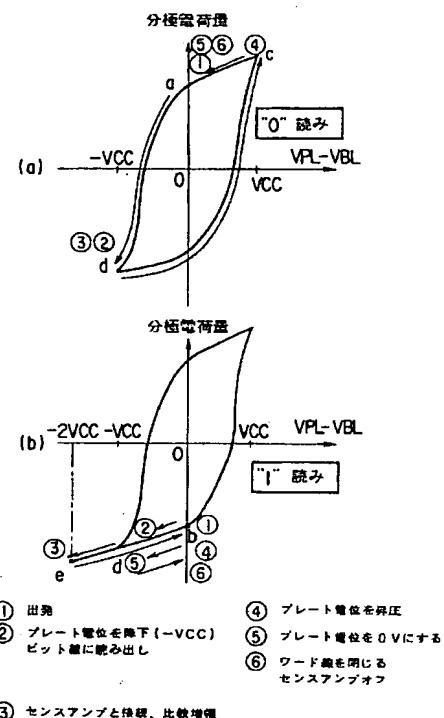
【図13】



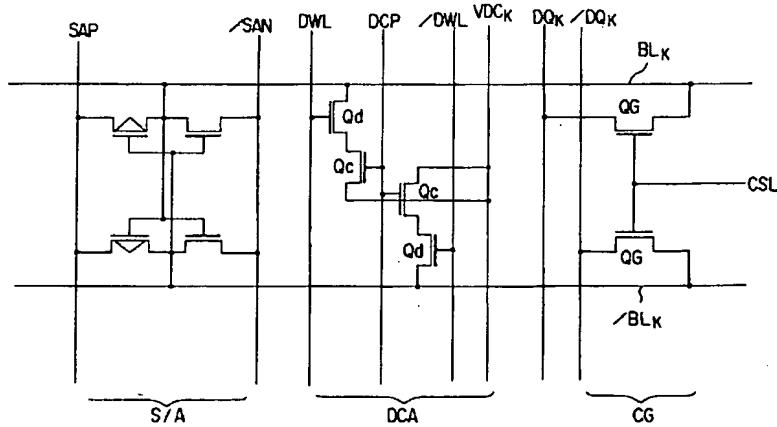
【図11】



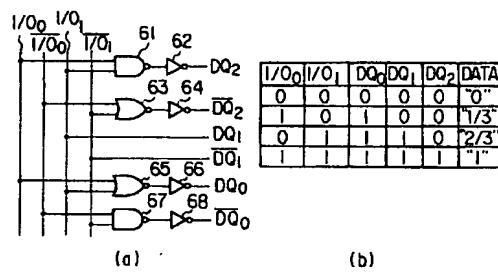
【図12】



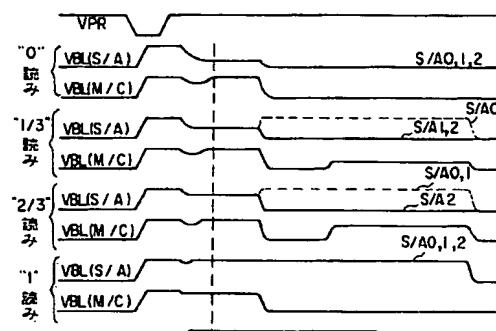
【図14】



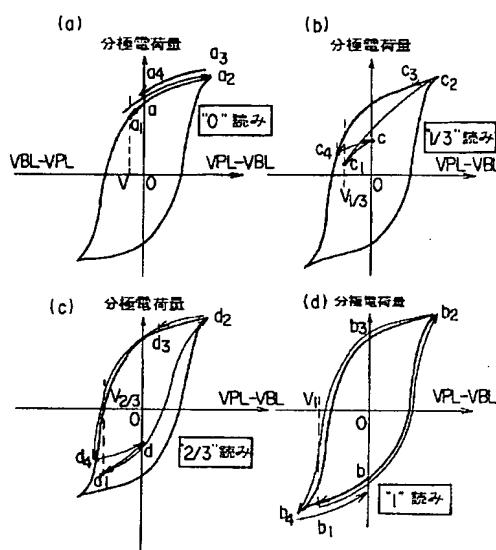
【図16】



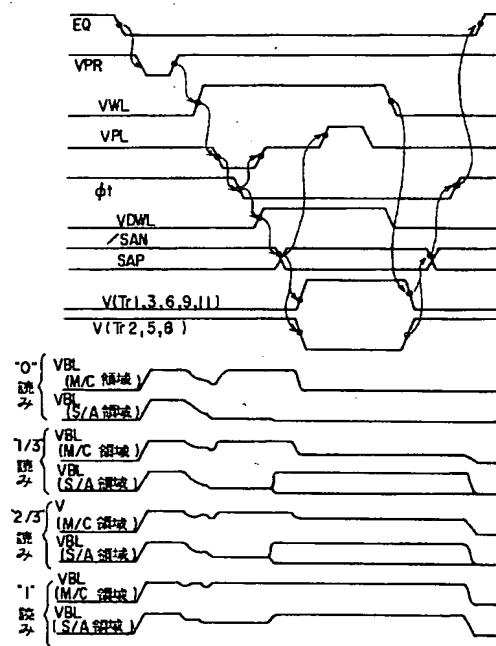
【図17】



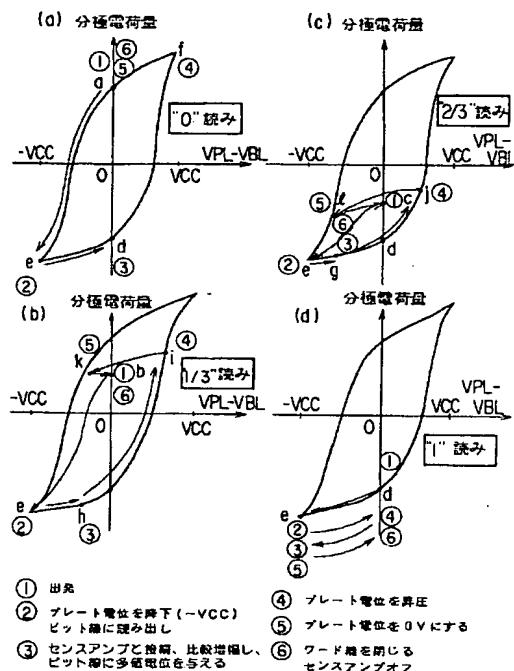
【図18】



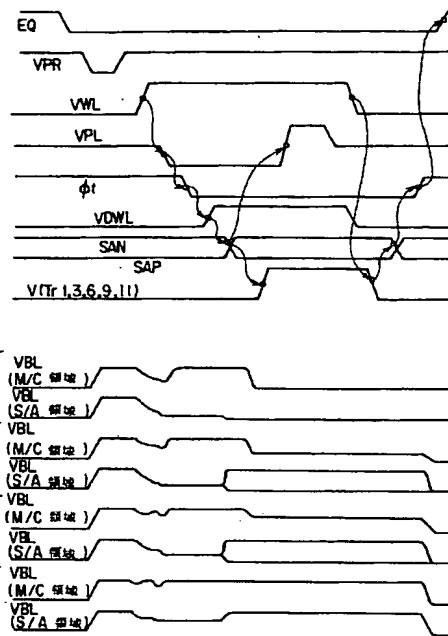
【図19】



【図20】



【図21】



【図22】

